

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-352042

(43)Date of publication of application : 21.12.2001

(51)Int.Cl.

H01L 27/08  
H01L 21/76  
H01L 21/762  
H01L 21/768  
H01L 21/8238  
H01L 27/092  
H01L 27/12  
H01L 29/786

(21)Application number : 2000-171818

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.06.2000

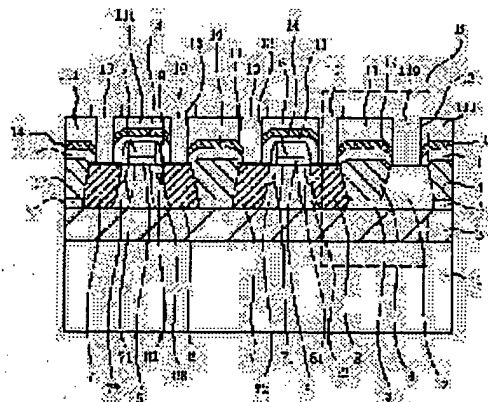
(72)Inventor : MATSUMOTO TAKUJI  
IWAMATSU TOSHIAKI  
HIRANO YUICHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device and a method for manufacturing the same, for improving separating characteristics and a withstand voltage by suppressing a board floating effect, in a device having a separately insulating film of a PTI structure.

**SOLUTION:** A silicon nitride film is formed between interlayer insulating films covering an upper surface of an element formed on a surface of a semiconductor layer.



14-23-2001

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The semiconductor device characterized by providing the following. Semiconductor substrate. The embedded insulator layer arranged on [ of this semiconductor substrate / whole ] the main front face. The separation insulator layer which was equipped with the SOI substrate which consists of a semiconductor layer of the 1st conductivity type arranged on the front face of this embedded insulator layer, was arranged between the 1st active region and the 2nd active region which were arranged in the main front face of the aforementioned semiconductor layer, left the aforementioned semiconductor layer between the aforementioned embedded insulator layers, and was formed in the aforementioned half conductor-layer main front face. The 1st source field and drain field of the 2nd conductivity type which were formed in the half-conductor-layer main front face of the 1st active region of the above by separating a predetermined distance, The 1st gate electrode formed by intervening in the 1st gate insulator layer on the main front face of the aforementioned semiconductor layer so that it might counter with the field inserted into the source field and drain field of the above 1st, It is formed in the half-conductor-layer main front face of the 2nd active region of the above, and the aforementioned semiconductor layer under the aforementioned separation insulator layer is minded. The 1st impurity range of the 1st conductivity type electrically connected to the field inserted into the source field and drain field of the above 1st, The 1st layer insulation film formed on the above 1st, the semiconductor layer of the 2nd active region, and the aforementioned separation insulator layer front face, The silicon nitride formed on the layer insulation film of the above 1st, and the 2nd layer insulation film formed on the aforementioned silicon nitride front face, Wiring which connects with the source field of the above 1st, a drain field, and the 1st impurity range through the contact hole formed in the above 1st, the 2nd layer insulation film, and the aforementioned silicon nitride, respectively.

[Claim 2] It has the following, and the aforementioned separation insulator layer leaves the aforementioned semiconductor layer between embedded insulator layers, and is formed in the aforementioned half conductor-layer main front face. the 1st layer insulation film, a silicon nitride, and the 2nd layer insulation film It is prolonged and formed even on the above 3rd and the semiconductor layer front face of the 4th active region. The semiconductor device according to claim 1 characterized by having further the wiring which connects with the source field, the drain field, and the 3rd impurity range of the above of the above 2nd through the contact hole formed in the above 1st, the 2nd layer insulation film, and the aforementioned silicon nitride, respectively. The 3rd active region arranged in the main front face of a semiconductor layer. The 4th active region arranged in the aforementioned half conductor-layer main front face through the separation insulator layer between the 3rd active region of the above, and the 1st active region. The 2nd impurity range of the 2nd conductivity type formed in the half-conductor-layer main front face of the 4th active region of the above. The 2nd source field and drain field of the 1st conductivity type which were formed in the impurity-range main front face of the above 2nd by separating a predetermined distance, The 2nd gate electrode formed by intervening in the 2nd gate insulator layer on the main front face of the aforementioned semiconductor layer so that it might counter with the field inserted into the source field and drain field of the above 2nd, The

3rd impurity range of the 2nd conductivity type electrically connected to the field which is formed in the half-conductor-layer main front face of the 3rd active region of the above, and is inserted into the source field and drain field of the above 2nd through the aforementioned semiconductor layer under the aforementioned separation insulator layer.

[Claim 3] The semiconductor device according to claim 1 characterized by providing the following. The 3rd active region arranged in the main front face of a semiconductor layer. The 4th active region arranged in the aforementioned half conductor-layer main front face through the separation insulator layer between the 3rd active region of the above, and the 1st active region. The 2nd impurity range of the 2nd conductivity type formed in the half-conductor-layer main front face of the 4th active region of the above. The 2nd source field and drain field of the 1st conductivity type which were formed in the impurity-range main front face of the above 2nd by separating a predetermined distance, The 2nd gate electrode formed by intervening in the 2nd gate insulator layer on the main front face of the aforementioned semiconductor layer so that it might counter with the field inserted into the source field and drain field of the above 2nd, It is formed in the half-conductor-layer main front face of the 3rd active region of the above, and the aforementioned semiconductor layer under the aforementioned separation insulator layer is minded. The field inserted into the source field and drain field of the above 2nd is further equipped with the 3rd impurity range of the 2nd conductivity type connected electrically. The separation insulator layer arranged between the 1st active region and the 4th active region It reaches to an embedded insulator layer, the 1st layer insulation film, a silicon nitride, and the 2nd layer insulation film It is prolonged and formed even on the above 3rd and the semiconductor layer front face of the 4th active region. Wiring which connects with the source field, the drain field, and the 3rd impurity range of the above of the above 2nd through the contact hole formed in the above 1st, the 2nd layer insulation film, and the aforementioned silicon nitride, respectively.

[Claim 4] A semiconductor device given in any 1 term of the claim 1 characterized by wiring linked to a source field and a drain field extending on the separation insulator layer front face which adjoins the aforementioned source field and a drain field, respectively, or a claim 3.

[Claim 5] The semiconductor device according to claim 4 characterized by having the aforementioned source field and drain field which adjoin the source field and drain field linked to the wiring which extends on a separation insulator layer front face, are formed in the semiconductor layer under the aforementioned separation insulator layer, and adjoin, and the impurity range which has the impurity of the same conductivity type, respectively.

[Claim 6] A semiconductor device given in any 1 term of the claim 1 characterized by forming the silicon nitride in the whole surface, or a claim 5.

[Claim 7] A semiconductor device given in any 1 term of the claim 1 characterized by having further the metal silicide layer formed in the front face of a source field and a drain field, or a claim 6.

[Claim 8] The manufacture method of a semiconductor device characterized by providing the following. The process which forms the separation insulator layer by which the 1st and 2nd active regions arranged in the aforementioned half conductor-layer main front face of the SOI substrate which has the semiconductor layer of the 1st conductivity type formed through the embedded oxide film on the semiconductor substrate front face are surrounded, and a part of aforementioned semiconductor layer remains in the bottom of it. The process which forms the 1st impurity range of the 1st conductivity type in the half-conductor-layer main front face of the 2nd active region of the above. The process which forms the 1st gate electrode through a gate insulator layer on the half-conductor-layer main front face of the 1st active region of the above. The process which forms the 1st source field and drain field of the 2nd conductivity-type which separated a predetermined distance in the gate electrode of the above 1st of the semiconductor layer of the 1st active region of the above, and the main front face which faced across the field which counters, The process which forms the 1st layer insulation film on the above 1st, the semiconductor layer of the 2nd active region, and the aforementioned separation insulator layer front face, The process which forms a silicon nitride on the layer insulation film of the above 1st, and the process which forms the 2nd layer insulation film on the aforementioned silicon nitride

front face, The process which forms in the above 1st, the 2nd layer insulation film, and the aforementioned silicon nitride the contact hole which reaches at the source field of the above 1st, a drain field, and the 1st impurity range, respectively, The process which forms the wiring which connects with the source field of the above 1st, a drain field, and the 1st impurity range through the aforementioned contact hole, respectively.

[Claim 9] The manufacture method of a semiconductor device according to claim 8 characterized by providing the following. After the process which a separation insulator layer encloses the 4th active region further adjoined and arranged in the 3rd active region which adjoined the 1st active region and was arranged in the main front face of a semiconductor layer, and this 3rd active region, is formed, and forms the aforementioned separation insulator layer The process which is equipped with the process which forms the 2nd impurity range of the 2nd conductivity type in the 4th active region, and forms the 3rd impurity range of the 2nd conductivity type in the half-conductor-layer main front face of the 3rd active region of the above before forming the 1st impurity range. The process which forms the 2nd gate electrode through a gate insulator layer on the aforementioned 2nd impurity-range main front face. It has further the process which forms the 2nd source field and drain field of the 1st conductivity type which separated a predetermined distance in the gate electrode of the above 2nd of the 2nd impurity range of the above, and the main front face which faced across the field which counters. The 1st layer insulation film, a silicon nitride, and the 2nd layer insulation film The process which is prolonged and formed even on the above 3rd and the semiconductor layer front face of the 4th active region, and forms the contact hole which reaches the above 1st, the 2nd layer insulation film, and the aforementioned silicon nitride at the source field, the drain field, and the 3rd impurity range of the above of the above 2nd, respectively. The process which forms the wiring which connects with the source field, the drain field, and the 3rd impurity range of the above of the above 2nd through the aforementioned contact hole, respectively.

[Claim 10] The process which forms a contact hole is the manufacture method of a semiconductor device given in any 1 term of the claim 8 characterized by having the process which \*\*\*\*\*s the 2nd layer insulation film, and the process which forms the 1st layer insulation film, or a claim 9.

[Claim 11] The contact hole which arrives at a source field and a drain field is a semiconductor device given in any 1 term of the claim 8 characterized by being prolonged and formed on the separation insulator layer front face which adjoins the aforementioned source field and a drain field, respectively, or a claim 10.

[Claim 12] It is the manufacture method of a semiconductor device given in any 1 term of the claim 10 to which it \*\*\*\*\*s with the matter with a selection ratio high [ the 2nd layer insulation film ] with a silicon nitride, and the 1st layer insulation film is characterized by a selection ratio with a silicon nitride \*\*\*\*\*ing with the low matter, or a claim 11.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor device which has the separation insulator layer (Following PTI (Partial Trench Isolation) is called) which does not reach to an embedded oxide film, and its manufacture method about the semiconductor device and its manufacture method of SOI (Silicon On Insulator) structure.

[0002]

[Description of the Prior Art] The semiconductor device which has the SOI (Silicon On Insulator) structure which consists of a semiconductor substrate, an embedded oxide film, and a semiconductor layer Since the active region is enclosed by the isolation (Following FTI (Full Trench Isolation) is called) which reaches to an embedded oxide film and this embedded oxide film, It is a low power, while a junction capacitance is small compared with the semiconductor device with which the direct transistor was formed in the semiconductor substrate front face and high-speed operation is possible, since there is no fear of a latch rise taking place and it is formed in the thin semiconductor layer, even if it forms a CMOS transistor. For this reason, especially recently, the application to LSI for pocket devices etc. is expected.

[0003] It differs from the transistor formed in the semiconductor substrate itself. however, the semiconductor device of the conventional SOI structure Since the semiconductor layer is electrically separated from the semiconductor substrate by the embedded oxide film, the carrier (nMOS — a hole —) generated according to an ionization by collision phenomenon in an active region In pMOS, an electron collects in the semiconductor layer of the lower part of a channel formation field, and since a kink occurs by this, pressure-proofing of operation does not deteriorate and the potential of a channel field is not stabilized, there are various troubles produced according to the substrate suspension effects, like the frequency dependence of a time delay comes out. In order to solve this problem, the method of fixing the potential of a channel formation field is effective. The semiconductor device with which the potential of a channel formation field was fixed is indicated in this way by JP,58-124,243,A.

[0004] In recent years, since potential of a channel formation field is not further fixed for every transistor, but the potential of the channel formation field of two or more transistors of the same conductivity type is fixed collectively, PTI separates, detailed-ization is attained and this structure is indicated by IEEE International SOI Conference, Oct.1999 p131-132, etc.

[0005] the cross section showing the semiconductor device of the former [ drawing 22 ] — it is — drawing — setting — 101 — a semiconductor substrate and 102 — an embedded oxide film and 103 — a p type semiconductor layer and 104 — a separation oxide film and 105 — a gate insulator layer and 106 — for a sidewall insulator layer and 1010, as for a layer insulation film and 1012, wiring and 1011 are [ a gate electrode, and 107 and 108 / n type source drain field and 109 / p type impurity range and 1013 ] contact holes In PTI, as shown in drawing, the separation oxide film 104 between two adjoining transistors does not reach the embedded oxide film 102, but is in the state where the channel formation field of two transistors was connected, and to two or more transistors of the same conductivity type, the wiring 1110 for fixing the potential of

a channel formation field connects with p type impurity range 1012, and is formed, and it requires it. This p type impurity range 1012 is formed into low resistance including the high-concentration impurity rather than the p type semiconductor layer 103.

[0006] Moreover, wiring 1010 is run aground and formed on the front face of the separation oxide film 104 with detailed-izing (borderless contact structure is called hereafter), and improvement in element density is aimed at. Drawing 23 is the cross section showing the conventional semiconductor device. With reference to drawing, the wiring 1010 linked to the source drain fields 107 and 108 is formed in the form where it runs aground on separation oxide-film 104 front face, respectively.

[0007]

[Problem(s) to be Solved by the Invention] However, by making a separation insulator layer into PTI structure, also in the semiconductor device which fixed the potential of a channel formation field, since the semiconductor layer under PTI was thin (-50nm), there was a trouble of producing the substrate suspension effect. It is for resistance between this wiring and transistor to become high, and to affect transistor characteristics as it will separate from the wiring which is fixing the potential of a channel formation field, if this has a thin semiconductor layer under PTL. Moreover, there was a trouble that variation arose in resistance of the channel formation field of each transistor, and variation arose also in an element property according to the distance from the wiring which fixes the potential of a channel formation field.

[0008] Moreover, since the layer insulation film 1011 which consists of a separation oxide film 104, a TEOS oxide film (tetraethyl orthosilicate), etc. was a homogeneous film when it is going to raise element density using borderless contact structure, when forming a contact hole 1013 in the layer insulation film 1011, the separation oxide film 104 also had the trouble of \*\*\*\*\*ing. Drawing 24 is the cross section showing the conventional semiconductor device. If the separation oxide film 104 \*\*\*\*\*s as shown in this drawing, the distance of the p type semiconductor layer 103 under the separation oxide film 104, the pn junction formed of the source drain fields 107 or 108, and wiring 1010 will become short, and will cause the increase in a junction leakage current.

[0009] this invention was made in order to solve the above-mentioned technical problem, it suppresses the substrate suspension effect in the semiconductor device equipped with the separation insulator layer of the PTI structure which can bundle up the voltage of the channel formation field of two or more transistors, and can be fixed, and aims at acquiring the semiconductor device which improved, and its manufacture method. Moreover, a junction leakage current is suppressed also in the semiconductor device of borderless structure, and it aims at acquiring detailed-izing, the low-power-ized semiconductor device, and its manufacture method.

[0010]

[Means for Solving the Problem] The embedded insulator layer by which the semiconductor device concerning this invention was arranged on [ of a semiconductor substrate and this semiconductor substrate / whole ] the main front face, It has the SOI substrate which consists of a semiconductor layer of the 1st conductivity type arranged on the front face of this embedded insulator layer. The separation insulator layer which was arranged between the 1st active region and the 2nd active region which were arranged in the main front face of a semiconductor layer, left the semiconductor layer between embedded insulator layers, and was formed in the half-conductor-layer main front face, The 1st source field and drain field of the 2nd conductivity type which were formed in the half-conductor-layer main front face of the 1st active region by separating a predetermined distance, The 1st gate electrode formed by intervening in the 1st gate insulator layer on the main front face of a semiconductor layer so that it might counter with the field inserted into the 1st source field and drain field, It is formed in the half-conductor-layer main front face of the 2nd active region, and the semiconductor layer under a separation insulator layer is minded. The 1st impurity range of the 1st conductivity type electrically connected to the field inserted into the 1st source field and drain field, The 1st layer insulation film formed on the semiconductor layer of the 1st and 2nd active regions, and the separation insulator layer front face, The silicon nitride formed on the 1st layer insulation film, and the 2nd layer insulation film formed on the silicon nitride front face, It has the wiring

which connects with the 1st source field, a drain field, and the 1st impurity range through the contact hole formed in the 1st and 2nd layer insulation films and silicon nitrides, respectively. Since it has the silicon nitride formed through the layer insulation film on the element front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened.

[0011] Moreover, a separation insulator layer is minded between the 3rd active region arranged in the main front face of a semiconductor layer, and the 3rd active region and the 1st active region. The 4th active region arranged in the half-conductor-layer main front face, and the 2nd impurity range of the 2nd conductivity type formed in the half-conductor-layer main front face of the 4th active region, The 2nd source field and drain field of the 1st conductivity type which were formed in the 2nd impurity-range main front face by separating a predetermined distance, The 2nd gate electrode formed by intervening in the 2nd gate insulator layer on the main front face of a semiconductor layer so that it might counter with the field inserted into the 2nd source field and drain field, It is formed in the half-conductor-layer main front face of the 3rd active region, and the semiconductor layer under a separation insulator layer is minded. The field inserted into the 2nd source field and drain field is equipped with the 3rd impurity range of the 2nd conductivity type connected electrically. a separation insulator layer It leaves a semiconductor layer between embedded insulator layers, and is formed in a half-conductor-layer main front face. the 1st layer insulation film, a silicon nitride, and the 2nd layer insulation film It is prolonged and formed even on the semiconductor layer front face of the 3rd and 4th active regions. It is what is characterized by having further the wiring which connects with the 2nd source field, a drain field, and the 3rd impurity range through the contact hole formed in the 1st and 2nd layer insulation films and silicon nitrides, respectively. According to the defect generated in the semiconductor layer under a separation insulator layer, pressure-proofing between the adjoining pMOS transistors and nMOS transistors improves.

[0012] Moreover, a separation insulator layer is minded between the 3rd active region arranged in the main front face of a semiconductor layer, and the 3rd active region and the 1st active region. The 4th active region arranged in the half-conductor-layer main front face, and the 2nd impurity range of the 2nd conductivity type formed in the half-conductor-layer main front face of the 4th active region, The 2nd source field and drain field of the 1st conductivity type which were formed in the 2nd impurity-range main front face by separating a predetermined distance, The 2nd gate electrode formed by intervening in the 2nd gate insulator layer on the main front face of a semiconductor layer so that it might counter with the field inserted into the 2nd source field and drain field, It is formed in the half-conductor-layer main front face of the 3rd active region, and the semiconductor layer under a separation insulator layer is minded. The field inserted into the 2nd source field and drain field is further equipped with the 3rd impurity range of the 2nd conductivity type connected electrically. The separation insulator layer arranged between the 1st active region and the 4th active region It reaches to an embedded insulator layer. the 1st layer insulation film, a silicon nitride, and the 2nd layer insulation film It is prolonged and formed even on the semiconductor layer front face of the 3rd and 4th active regions. It is what is characterized by having the wiring which connects with the 2nd source field, a drain field, and the 3rd impurity range through the contact hole formed in the 1st and 2nd layer insulation films and silicon nitrides, respectively. Pressure-proofing between the adjoining pMOS transistor and a nMOS transistor improves.

[0013] Moreover, it is characterized by wiring linked to a source field and a drain field extending on the separation insulator layer front face which adjoins a source field and a drain field, respectively, and in case the contact hole which arrives at a source field and a drain field by the silicon nitride is formed, \*\*\*\*\*ing [ of a separation insulator layer ] is suppressed and it can fully maintain the distance of the pn junction which consists of a semiconductor layer and a source drain field, and wiring.

[0014] Furthermore, the source field and drain field linked to the wiring which extends on a separation insulator layer front face are adjoined. It is what is characterized by having the source field and drain field which are formed in the semiconductor layer under a separation insulator



layer, and adjoin, and the impurity range which has the impurity of the same conductivity type, respectively. Since each source drain field is adjoined and the impurity range of the same conductivity type as a source drain field is formed even if the separation insulator layer exposed in the case of contact hole formation may \*\*\*\*\* The distance of wiring and the semiconductor layer under a separation insulator layer can fully be maintained, and a possibility of generating the junction leakage current in this portion disappears.

[0015] Moreover, it is characterized by forming the silicon nitride in the whole surface, and the invasion of the hydrogen to a gate insulator layer and an embedded oxide film is prevented by the silicon nitride.

[0016] Moreover, it is characterized by having further the metal silicide layer formed in the front face of a source field and a drain field, and since it works as an etching stop at the time of this metal silicide layer \*\*\*\*\*ing the 1st layer insulation film, an etching margin increases.

[0017] Moreover, the SOI substrate which has the semiconductor layer of the 1st conductivity type formed through the embedded oxide film on the semiconductor substrate front face, The process which forms the separation insulator layer by which the 1st and 2nd active regions arranged in the half-conductor-layer main front face are surrounded, and a part of semiconductor layer remains in the bottom of it, The process which forms the 1st impurity range of the 1st conductivity type in the half-conductor-layer main front face of the 2nd active region, The process which forms the 1st gate electrode through a gate insulator layer on the half-conductor-layer main front face of the 1st active region, The process which forms the 1st source field and drain field of the 2nd conductivity type which separated a predetermined distance in the 1st gate electrode of the semiconductor layer of the 1st active region, and the main front face which faced across the field which counters, The process which forms the 1st layer insulation film on the semiconductor layer of the 1st and 2nd active regions, and a separation insulator layer front face, The process which forms a silicon nitride on the 1st layer insulation film, and the process which forms the 2nd layer insulation film on a silicon nitride front face, The process which forms in the 1st and 2nd layer insulation films and silicon nitrides the contact hole which reaches at the 1st source field, a drain field, and the 1st impurity range, respectively, It has the process which forms the wiring which connects with the 1st source field, a drain field, and the 1st impurity range through a contact hole, respectively. by the stress of a silicon nitride The defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened.

[0018] In addition, a separation insulator layer encloses the 4th active region further adjoined and arranged in the 3rd active region which adjoined the 1st active region and was arranged in the main front face of a semiconductor layer, and this 3rd active region, and is formed. After the process which forms a separation insulator layer, before forming the 1st impurity range The process which is equipped with the process which forms the 2nd impurity range of the 2nd conductivity type in the 4th active region, and forms the 3rd impurity range of the 2nd conductivity type in the half-conductor-layer main front face of the 3rd active region, The process which forms the 2nd gate electrode through a gate insulator layer on the 2nd impurity-range main front face, It has further the process which forms the 2nd source field and drain field of the 1st conductivity type which separated a predetermined distance in the 2nd gate electrode of the 2nd impurity range, and the main front face which faced across the field which counters. The 1st layer insulation film, a silicon nitride, and the 2nd layer insulation film It is prolonged and formed even on the semiconductor layer front face of the 3rd and 4th active regions. The process which forms in the 1st and 2nd layer insulation films and silicon nitrides the contact hole which reaches at the 2nd source field, a drain field, and the 3rd impurity range, respectively, It is what is characterized by having the process which forms the wiring which connects with the 2nd source field, a drain field, and the 3rd impurity range through a contact hole, respectively. The semiconductor device whose latch rise resistance whose pressure-proofing between the pMOS transistors and nMOS transistors with which a defect occurs and adjoins the semiconductor layer under a separation insulator layer improved, and improved can be obtained.

[0019] Moreover, the process which forms a contact hole can be characterized by having the

process which \*\*\*\*\*s the 2nd layer insulation film, and the process which forms the 1st layer insulation film, and can suppress the over etching of a semiconductor layer by control of the etching conditions of the 1st layer insulation film.

[0020] Furthermore, the contact hole which arrives at a source field and a drain field It is what is characterized by being prolonged and formed on the separation insulator layer front face which adjoins a source field and a drain field, respectively. Since it carries out using a silicon nitride by dividing etching of the 1st layer insulation film and the 2nd layer insulation film and the contact hole is formed, While being able to obtain a semiconductor device without a possibility of the over etching of a semiconductor layer being suppressed and generating a junction leakage current by control of the etching conditions of the 1st layer insulation film The pn junction which \*\*\*\*\*ing [ of a separation insulator layer ] is suppressed and it becomes from a semiconductor layer and a source drain field in case the contact hole which arrives at a source drain field is formed, Distance with wiring can fully be maintained and improvement in the element density of a semiconductor device and improvement in reliability can be aimed at.

[0021] Furthermore, it \*\*\*\*\*s with the matter with a selection ratio high [ the 2nd layer insulation film ] with a silicon nitride, and since a selection ratio with a silicon nitride is characterized by \*\*\*\*\*ing with the low matter and is etching the 1st layer insulation film and the 2nd layer insulation film using a selection ratio with a silicon nitride, the 1st layer insulation film can form a contact hole with a sufficient controllability.

[0022]

[Embodiments of the Invention] Gestalt 1. drawing 1 of operation is the cross section of the semiconductor device concerning the gestalt 1 of implementation of this invention, and is set to drawing 1 . In 1, a semiconductor substrate and 2 a semiconductor layer and 4 for an embedded oxide film and 3 A separation insulator layer, 5 a gate electrode, and 7, 71, 8 and 81 for a gate insulator layer and 6 A source drain field, 72 and 82 — for wiring and 11, as for p type impurity range and 13, a layer insulation film and 12 are [ a sidewall insulator layer, and 10 and 110 / a pocket pouring field and 9 / a contact hole and 14 ] silicon nitrides Moreover, drawing 2 is the plan of the semiconductor device concerning the gestalt 1 of implementation of this invention, and drawing 1 is a cross section in the A-A cross section shown in drawing 2 . In this drawing, since it is easy, the layer insulation films 11 and 111, the silicon nitride 14, wiring 10, the sidewall insulator layer 9, the source drain fields 71 and 81, and the pocket pouring fields 72 and 82 are omitted.

[0023] Although that in which the semiconductor layer 3 was formed through the embedded oxide film 2 all over the semiconductor substrate 1 front-face top is called SOI substrate with reference to drawing 1 and the formation method has various things, such as a lamination method and the SIMOX method, it may be formed by which method. And the thickness of the embedded oxide film 2 is 100nm – about 500nm, and, as for the semiconductor layer 3, thickness contains p type impurities, such as boron, about three  $1 \times 10^{15}$  to  $1 \times 10^{16}$  /cm by about 30–400nm.

[0024] And the active region in which the transistor was formed is enclosed by p type impurity range 12 formed in the semiconductor layer 3, and the fractional separation field which consists of separation insulator layers 4 (PTI), such as a silicon oxide, it dissociates mutually, and the minimum separation width of face is about 200nm. Moreover, about by 1/2 to 1/3 of the thickness of the semiconductor layer 3, the thickness of the separation insulator layer 4 is set up so that the thickness of the semiconductor layer 3 under the separation insulator layer 4 may be set to about 10–200nm.

[0025] And although it is desirable on micro processing that it is the same as that of the front face of the semiconductor layer 3 as for the upper surface of the separation insulator layer 4, if it is fully going to leave the thickness of the semiconductor layer 3 under the separation insulator layer 4 when the semiconductor layer 3 is thin, since it will become difficult to take thickness required for isolation, the direction of an isolation performance which formed the upper surface of the separation insulator layer 4 more highly than semiconductor layer 3 front face improves. Moreover, between the semiconductor layer 3 and the separation insulator layer 4, the about 5–30nm silicon oxide is formed if needed (not shown). Here, although the silicon oxide is

used as a separation insulator layer 4, other insulator layers, such as a silicon nitride, a silicon acid nitride, a silicon oxide containing the fluorine, or a porous-like silicon oxide, are sufficient. [0026] The source drain fields 7, 8, 71, and 81, the pocket pouring fields 72 and 82, and p type impurity range 12 inject an impurity into the p type semiconductor layer 3, and are formed, and p type impurity range 12 contains boron etc. about three  $1 \times 10^{17}$  to  $1 \times 10^{18}$  /cm. Moreover, the pocket pouring fields 72 and 82 are included B, BF<sub>2</sub>, or about three  $1 \times 10^{17}$  to  $1 \times 10^{19}$  /cm of In (s). These pocket pouring fields 72 and 82 are for suppressing a short channel effect, and if a gate insulator layer, the junction depth of a source drain field, etc. are adjusted and optimized, they may serve as formation needlessness. Moreover, to the embedded oxide film 2, the source drain fields 7 and 8 reach, and are formed, including which arsenic n type impurity about three  $1 \times 10^{19}$  to  $1 \times 10^{21}$  /cm, and the source drain fields 71 and 81 have LDD (Lightly Doped Drain) structure with the source drain fields 7 and 8, including n type impurities, such as Lynn, about three  $1 \times 10^{18}$  to  $1 \times 10^{20}$  /cm. However, LDD structure is formed if needed. Moreover, the source drain fields 7 and 8 may not reach to the embedded oxide film 2.

[0027] As a gate insulator layer 5, there are SiO<sub>2</sub>, SiON, a cascade screen of SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> (ONO), Ta<sub>2</sub>O<sub>5</sub>, aluminum<sub>2</sub>O<sub>3</sub>, a BST film (Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>:Barium Strontium Titanium), etc. Although the gate electrode 6 is formed with contest polysilicon whose thickness is about 100–400nm, including n type impurities, such as Lynn, about three two to  $15 \times 10^{20}$  /cm Contest polysilicon which contained the impurity besides this, and TiSi<sub>2</sub>, CoSi<sub>2</sub>, NiSi<sub>2</sub>, WSi<sub>2</sub>, TaSi<sub>2</sub>, MoSi<sub>2</sub>, HfSi<sub>2</sub>, Pd<sub>2</sub>Si, A laminated structure with metals, such as metal silicide layers, such as PtSi<sub>2</sub> and ZrSi<sub>2</sub>, or W, Mo, Cu, aluminum, is sufficient, and it may be formed with metals, such as W, Mo, Cu, and aluminum. Moreover, metal silicide, such as TiSi<sub>2</sub>, CoSi<sub>2</sub>, NiSi<sub>2</sub>, WSi<sub>2</sub>, TaSi<sub>2</sub>, MoSi<sub>2</sub>, HfSi<sub>2</sub>, P<sub>2</sub>Si, and PtSi<sub>2</sub>, ZrSi<sub>2</sub>, may be formed also in the front face of the source drain fields 7 and 8 and p type impurity range 12 (not shown).

[0028] Although the sidewall insulator layer 9 is formed by the silicon oxide, the TEOS film, Si<sub>3</sub>N<sub>4</sub> film, or the cascade screen of Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>, its a possibility that a mask gap of contact hole 13 formation may also \*\*\*\*\* in the direction of the film which contained nitrogen like Si<sub>3</sub>N<sub>4</sub> film or the cascade screen of Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> disappears. Moreover, by the synergistic effect with the silicon nitride 14, the defect density generated by stress can be raised to the semiconductor layer 3 used as the source drain field 7 which operates as a source field, 71 or 8, and about 81 channel formation field, and the carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) of a channel formation field is absorbed by the source field, and can suppress the substrate floating effect further.

[0029] The layer insulation films 11 and 111 consist of a silicon oxide formed by the plasma CVD method, the LPCVD (Low Pressure Chemical Vapor Deposition) method, or ordinary-pressure CVD, and about 10–300nm and the layer insulation film 111 have [ the layer insulation film 11 ] about 100–2000nm thickness. Moreover, it may be formed by PSG (Phospho Silicate Glass), BSG (Boro Silicate Glass), BPSG (Boro Phospho Silicate Glass), or BPTEOS (Boro Phospho TEOS) into which the TEOS (Tetra Etyle Ortho Silicate) film, the SOG (Spin On Glass) film, and the impurity were poured instead of. [ the silicon oxide ]

[0030] The silicon nitride 14 has about 50–100nm thickness, and is formed in the whole surface except for the portion in which the contact hole 13 of the diameter of 0.1 micrometers – 0.5 micrometer is formed. And a defect is formed in the semiconductor layer 3 under the separation insulator layer 4 by having formed this silicon nitride 14. Drawing 3 is the cross section of the semiconductor device concerning the form 1 of implementation of this invention, and is the enlarged view of the portion surrounded with the dashed line B shown in drawing 1. A defect is formed in the bottom of the separation insulator layer 4 as shown in this drawing.

[0031] Generally, as composition of a silicon nitride, although Si<sub>3</sub>N<sub>4</sub> which has about two  $1 \times 10^{11}$  dyn/cm stress is known, film stress is controllable by the ratio of N to Si of Si<sub>x</sub>N<sub>y</sub>. Furthermore, O is added, and since film stress is controllable also by changing the composition ratio of O and N, you may form a silicon acid nitride (SiON) instead of a silicon nitride.

[0032] Next, operation is explained. The voltage which is impressed to each electrode with reference to drawing 1 in the case of a nMOS transistor is VG=1.8V, VD=1.8V, VS=0V, and about VB=0V, a channel is formed in semiconductor layer 3 front face under the gate electrode 5,

either the source drain fields 7 and 71 or the source drain fields 8 and 81 turn into a source field, another side turns into a drain field, and it operates as a circuit. Since the semiconductor layer 3 under the separation insulator layer 4 contains the p type impurity like the semiconductor layer 3 under the gate electrode 6, voltage is impressed to the semiconductor layer 3 under the gate electrode 6 from wiring 110 through an impurity range 12. Such voltage is examples and is changed by gate insulation thickness or gate length.

[0033] Although the case where the nMOS transistor was formed was explained in the form 1 of this operation When a pMOS transistor is formed, the impurity contained in the semiconductor layer 3 Lynn and which arsenic n type impurity, Let the impurity with which the impurity with which the impurity contained to the source drain fields 7, 8, 71, and 81 is contained to the impurity of p types, such as boron, and the pocket pouring fields 72 and 82 is contained in the impurity of n types, such as As, P, or Sb, and the gate electrode 6 be the impurity of p types, such as boron. And it changes to p type impurity range 12, and n type impurity range is formed. The applied voltage in this case is  $V_G=0V$ ,  $V_D=0V$ ,  $V_S=1.8V$ , and about  $V_B=1.8V$ , respectively.

[0034] Furthermore, in the form of this operation, although explained using the semiconductor device with which the number of layers of the layer insulation film formed between wiring and a transistor differs from arrangement etc., and one transistor was formed in one active region of the composition of a circuit although an example about arrangement of wiring 10 and 110 was shown, it is not restricted to especially this.

[0035] Moreover, in the form 1 of this operation, although the silicon nitride 14 explained with drawing formed in the whole surface, if the silicon nitride 14 is formed in the field to which PTI is used as isolation, a separation property can be raised in the semiconductor device (not shown) with which PTI and FTI are used together.

[0036] Drawing 4 is the cross section showing another semiconductor device concerning the form 1 of implementation of this invention, and 141 is a silicon nitride in drawing. If the silicon nitride 141 is formed on the front face of the gate electrode 6 while forming the sidewall insulator layer 9 by the film containing nitrogen, such as  $Si_3N_4$  film or a cascade screen of  $Si_3N_4/SiO_2$ , as shown in this drawing, a possibility that wiring 10 may connect with the gate electrode 6 will disappear further.

[0037] Drawing 5 is the cross section showing still more nearly another semiconductor device concerning the form 1 of implementation of this invention, and drawing 6 is the plan showing still more nearly another semiconductor device concerning the form 1 of implementation of this invention. The cross section of the semiconductor device shown in drawing 5 is a cross section in the C-C cross section in drawing 6. With reference to these drawings, it has the wiring 10 which connects with the gate electrode 6 at both source drain fields 7, and the diameter of a contact hole of this portion is about about 2 times of the diameter of a contact hole of other portions. Generally the semiconductor device of such structure is called shared contact structure, and is used for the SRAM memory cell to which the gate electrode 6 and the source drain field 7 always operate with this potential. Except this wiring structure, it is the same structure as the semiconductor device shown in drawing 1.

[0038] Drawing 7 is the cross section showing still more nearly another semiconductor device concerning the form 1 of implementation of this invention, and, as for a layer insulation film and 131, 113 is [ a contact hole and 210 ] wiring. Although it passes along the contact hole 131 formed in the layer insulation film 113 with reference to this drawing and wiring 210 is connected to the gate electrode 6, the field in which this contact hole 131 is formed is the same structure as the semiconductor device shown in drawing 1 and drawing 2 except being FTI which the separation insulator layer 4 reaches to the embedded oxide film 2. Drawing 8 is the plan of the semiconductor device shown in drawing 7, and the cross section shown in drawing 7 is a cross section in the D-D cross section shown in drawing 8. With reference to drawing 8, the portion surrounded with the dashed line E serves as FTI. In drawing 8, since it is easy, the layer insulation film is not illustrated. Thus, if FTI and PTI are used together, even if a mask gap occurs in the case of contact hole 131 formation, there will be no possibility of saying that it \*\*\*\*\*s and the separation insulator layer 4 reaches the semiconductor layer 3, and reliability will improve.

[0039] The embedded insulator layer which was arranged on [ of a semiconductor substrate and this semiconductor substrate / whole ] the front face according to the semiconductor device shown in the form 1 of this operation, Since it has the silicon nitride formed through the layer insulation film on the element front face in the semiconductor device with which the element was formed in the SOI substrate main front face which consists of a semiconductor layer furthermore arranged on the front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened. For this reason, since the substrate suspension effect — can fix stably the potential of the channel formation field under a gate electrode, and the frequency dependence of a time delay is stopped — is suppressed even if the semiconductor layer under a separation insulator layer becomes thin, the reliability of a semiconductor device improves.

[0040] Moreover, if hydrogen advances into a gate insulator layer and hydrogen termination is carried out to a semiconductor layer by the interface of a gate insulator layer, although it is known that hot carrier resistance will deteriorate, since the silicon nitride is formed, invasion of the hydrogen to a gate insulator layer and an embedded oxide film is prevented, and the effect that hot carrier resistance improves is done so.

[0041] Moreover, in a silicon nitride, film stress of a silicon nitride or a silicon acid nitride can be made high by controlling the ratio of N to Si or controlling the ratio of O and N in a silicon acid nitride, and since the defect density generated in the semiconductor layer under the separation insulator layer of PTI can be raised, the role of a lifetime killer is raised.

[0042] Next, the manufacture method of the semiconductor device concerning the form 1 of implementation of this invention is explained. Drawing 9 – drawing 13 are the cross sections showing one process of the manufacture method of a semiconductor device which shows the form 1 of operation, and, as for a silicon oxide and 32, 31 is [ a silicon nitride and 41 ] slots in drawing 9 . With reference to drawing 9 , the silicon oxide 31 which has about 5–40nm thickness is formed on the semiconductor layer 3 front face of the SOI substrate equipped with the embedded oxide film 2 and the semiconductor layer 3 on the front face of the semiconductor substrate 1. As the formation method of this silicon oxide 31, there are the oxidizing [ thermally ] method, the method of forming a TEOS oxide film by CVD, etc.

[0043] And the silicon nitride 32 which has about 50–300nm thickness is formed by the LPCVD method or plasma nitride CVD, and RIE (Reactibe Ion Etching) or the anisotropic etching using efficient consumer response (Electron Cyclotron Resonance) equipment removes alternatively the silicon nitride 32 and silicon oxide 31 on an isolation region using a photoresist mask (not shown). And after removing a photoresist mask, anisotropic etching of the semiconductor substrate 1 is carried out using RIE or efficient consumer response equipment by using the silicon nitride 32 as a mask, and the slot 41 with a depth of about 20–300nm is formed in the front face of the semiconductor substrate 1. The width of face of this slot 41 is about 100–500nm, and it is adjusted so that about 10–100nm of semiconductor layers 3 may remain in the bottom of a slot 41. Drawing 9 is the cross section showing the element of the semiconductor device in the stage which this process finished.

[0044] In drawing 10 , 42 is a slot and 301 is a photoresist mask. When using PTI and FTI together, the photoresist mask 301 which carries out opening of the portion set to FTI is formed after the process shown in drawing 9 , the bottom of a slot 41 is \*\*\*\*\*ed, and the slot 42 which reaches to the embedded oxide film 2 is formed. Drawing 10 is the cross section showing the element of the semiconductor device in the stage which this process finished. The photoresist mask 301 may be formed to the interior of a slot 41, and may be formed on silicon nitride 32 front face.

[0045] Next, a silicon oxide is formed in the whole surface by 100nm – about 500nm thickness with Plasma TEOS or HDP (High Density Plasma) equipment (not shown), heat treatment of about 1000–1100 degrees C is performed, and membranous quality is raised. And by the CMP (Chemical Mechanical Polishing) method which used the silicon nitride 32 as the stopper, the silicon oxide on silicon nitride 32 front face is removed, and it leaves a silicon oxide only to the interior of opening which consists of a slot 41, a silicon oxide 31, and a silicon nitride 32. Then, in

order to lose the level difference of the silicon-oxide front face inside this opening, and semiconductor layer 3 front face, after \*\*\*\*\*ing a silicon oxide, the silicon nitride 32 is removed by the wet etching by the heat phosphoric acid, a silicon oxide 31 is removed, and the separation insulator layer 4 is formed. Drawing 11 is a cross section in the stage which this process finished.

[0046] If elevated-temperature thermal oxidation of about 900–1000 degrees C is performed before making a silicon oxide deposit in a slot 41, the corner of the silicon formed of slot 41 base and the side and the corner of the silicon formed of the slot 41 side and semiconductor layer 3 front face can be rounded off, and the stress in this portion will be eased.

[0047] And after forming the silicon oxide by thermal oxidation in the whole surface (not shown), the photoresist mask (not shown) which has opening into the portion which forms the wiring for fixing the potential of a channel formation field is formed, in nMOS, the ion implantation of the impurity of p types, such as B, BF<sub>2</sub>, and In, is carried out, and it forms p type impurity range 12 which has about three  $1 \times 10^{17}$  to  $1 \times 10^{18}$ –/cm high impurity concentration. In pMOS, n type impurity range is formed with the impurity of n types, such as P, As, and Sb. Furthermore, if needed, in nMOS, in boron, fluoridation boron, and pMOS, the ion implantation of Lynn or which arsenic impurity is carried out to the whole surface in 10–20KeV and about two  $1 \times 10^{12}$  to  $5 \times 10^{12}$ –/cm, and it introduces the impurity which adjusts a threshold to a channel formation field (not shown). This silicon oxide protects a semiconductor substrate front face from the damage in the case of an ion implantation, and removes it after these ion implantations.

[0048] Next, after forming a silicon oxide in the whole semiconductor substrate 1 front face by thermal oxidation by about 7–10nm thickness as a gate insulator layer 5 with reference to drawing 12 After making about 100–400nm of polysilicon contest layers used as the gate electrode 6 deposit on the whole surface by the LPCVD method, The polysilicon contest layer 6 used as a gate electrode is formed using a photoresist mask (not shown) by carrying out patterning with anisotropic etching equipments, such as RIE or efficient consumer response. After forming the cascade screen of a silicon oxide, and a silicon nitride and a silicon oxide on the front face of a polysilicon contest layer at this time, using a photoresist mask, patterning of these films may once be carried out, and a polysilicon contest layer may be processed after that using this film by which patterning was carried out. Moreover, after making metal silicide layers, such as WSi, deposit on the front face of a polysilicon contest layer, you may carry out patterning (not shown).

[0049] Then, in nMOS, in pMOS, boron, fluoride boron, etc. carry out the ion implantation of Lynn, the arsenic, etc., respectively in about two  $1 \times 10^{12}$  to  $1 \times 10^{14}$ –/cm, and the pocket pouring fields 72 and 82 are formed. And in nMOS, in Lynn, an arsenic, and pMOS, the ion implantation of boron, the fluoride boron, etc. is carried out, respectively in 20–40keV and about two one to  $3 \times 10^{13}$ –/cm, and the source drain fields 71 and 81 are formed. Next, after depositing a silicon oxide on the whole surface in about 30–100nm thickness by the plasma CVD method and forming the sidewall insulator layer 9 by carrying out etchback, in nMOS, in pMOS, an arsenic etc. carries out the ion implantation of boron, the fluoridation boron, etc. in 10KeV(s) and about two  $1 \times 10^{14}$  to  $1 \times 10^{16}$ –/cm, and the source drain fields 7 and 8 are formed for it. Drawing 12 is the cross section showing the element of the semiconductor device in the stage which this process finished.

[0050] A TEOS film etc. is sufficient as the sidewall insulator layer 9; and it may form Si<sub>3</sub>N<sub>4</sub> and the cascade screen of Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> by the LPCVD method or the plasma CVD method. When considering as a cascade screen, for example, after forming a silicon oxide by RTO (Rapid Thermal Oxidation), by CVD, it deposits, and etchback of the silicon nitride is carried out and it is formed. Since the pocket pouring fields 72 and 82 may not be formed and a source drain field is also made into LDD structure if needed, the source drain fields 7 and 8 may not be formed by the case. The poured-in impurity is activated by annealing about 10 to 30 minutes at about 800–1150 degrees C.

[0051] When forming metal silicide layers, such as CoSi<sub>2</sub>, in the gate electrode 6, or the source drain field 7 and eight front faces, if it is this stage, and cobalt is deposited on the whole surface and RTA (Rapid Thermal Anneal) processing is carried out, it will react on gate electrode 6 front

face, or the source drain field 7 and eight front faces which silicon exposed, and a metal silicide layer will be formed in this portion. Then, the cobalt which remained while it had been unreacted is removed (not shown). In addition to  $\text{CoSi}_2$ , metal silicide, such as  $\text{TiSi}_2$ ,  $\text{NiSi}_2$ ,  $\text{WSi}_2$ ,  $\text{TaSi}_2$ ,  $\text{MoSi}_2$ ,  $\text{HfSi}_2$ ,  $\text{Pd}_2\text{Si}$ , and  $\text{PtSi}_2$ ,  $\text{ZrSi}_2$ , is sufficient.

[0052] In drawing 13, 302 is a photoresist mask. With reference to drawing 13, about 10–300nm of silicon oxides used as the layer insulation film 11 is deposited in a plasma CVD method, the LPCVD method, or ordinary-pressure CVD. The layer insulation film 11 may be formed by PSG, BSG, BPSG, or BPTEOS into which the TEOS film, the SOG film, and the impurity were poured instead of. [ the silicon oxide ]

[0053] Then, the silicon nitride 14 which has about 50–100nm thickness by LPCVD (600–800 degrees C), plasma CVD (300–500 degrees C), or the ordinary pressure CVD (300–500 degrees C) is formed.  $\text{SiOxNy}$  may be used instead of silicon nitride  $\text{Si}_3\text{N}_4$ , and composition of Si and N may be changed with  $\text{Si}_3\text{N}_4$ . The film formed by the LPCVD method has good thickness homogeneity, and has the advantage that compactness and chemical stability are high, and since the film formed by the plasma CVD method and ordinary-pressure CVD can be formed at low temperature, it becomes possible [ suppressing TED (Transient Enhanced Diffusion) of an impurity ], and has the advantage that the current drive capacity of a transistor can be improved. Moreover, since control of the composition ratio of Si and N of a silicon nitride is easy for a plasma CVD method, the control of stress of it is also attained.

[0054] And in order to lose the surface dry area by CMP after forming the layer insulation film 11 and the layer insulation film 111 which has about 100–2000nm thickness similarly, and carrying out flattening by CMP, a silicon oxide is again deposited in about 50–200nm thickness like the layer insulation film 11 (not shown). Then, after forming the photoresist mask 302 which has opening in the field to which the contact hole 13 linked to the source drain fields 7 and 8 and p type impurity range 12 is formed on layer insulation film 111 front face, a selection ratio with the silicon nitride 14 \*\*\*\*\* the layer insulation film 111 with RIE, Magnetron RIE, or efficient consumer response equipment by etching gas, such as high  $\text{Cx}_y\text{F}_y$  ( $x=4$ ,  $y=8$  as an example). At this time, you may use  $\text{H}_2$  and  $\text{CO}$  as addition gas. Drawing 13 is the cross section showing the element of the semiconductor device in the stage which this process finished.

[0055] Next, on the low conditions of the selection ratio of a silicon nitride and a silicon oxide, the remaining silicon nitride 14 and the remaining layer insulation film 11 are \*\*\*\*\*ed, and a contact hole 13 is formed. And after depositing W and embedding the inside of a contact hole 13 by blanket CVD, flattening is carried out by etchback. Then, after making aluminum deposit on the whole surface, by carrying out patterning, the wiring 10 and 110 which consists of W and aluminum is formed, and the semiconductor device shown in drawing 1 is formed. The laminating of the wiring is further carried out to a layer insulation film after this at the process same with having formed the layer insulation film 111 and wiring 10,110 (not shown).

[0056] Selection CVD is sufficient, aluminum may be made to deposit by the elevated-temperature spatter or the reflow spatter method, and TiN and a doped polysilicon may be made to deposit by the LPCVD method instead of W as the deposition method of the wiring 10 and W of 110. Moreover, you may use  $\text{AlCuSi}$ , Cu, or a doped polysilicon instead of aluminum. Moreover, when a metal is used as a wiring material, it prevents that form barrier metal, such as TiN, in the wall of each contact hole, and a metal is spread to the semiconductor layer 3.

[0057] In the form of this operation, although the contact hole and wiring linked to a source drain field and p type impurity range were formed at the same process, formation of each contact hole and wiring may be performed at another process according to circuit arrangement, and the formation sequence can also be changed if needed.

[0058] Moreover, if the metal silicide layer is formed in the source drain field 7 and eight front faces by the Salicide method, since this metal silicide layer will commit the layer insulation film 11 as an etching stop at the time of \*\*\*\*\*ing, an etching margin increases.

[0059] According to the manufacture method of the semiconductor device shown in the form 1 of this operation, a semiconductor substrate, In the semiconductor device with which the element was formed in the SOI substrate main front face which consists of an embedded insulator layer arranged on [ of this semiconductor substrate / whole ] the front face, and a

semiconductor layer further arranged on the front face. Since the silicon nitride is formed through a layer insulation film on an element front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened. For this reason, since the substrate suspension effect — the potential of the channel formation field under a gate electrode is fixed stably, and the frequency dependence of a time delay is stopped — is suppressed even if the semiconductor layer under a separation insulator layer becomes thin, the semiconductor device which improved can be manufactured.

[0060] Moreover, if hydrogen advances into a gate insulator layer and hydrogen termination is carried out to a semiconductor layer by the interface of a gate insulator layer, although it is known that hot carrier resistance will deteriorate, since the silicon nitride is formed, invasion of the hydrogen to a gate insulator layer and an embedded oxide film is prevented, and the manufacture method of the semiconductor device whose hot carrier resistance improved can be acquired.

[0061] Moreover, since it carries out using a silicon nitride by dividing etching of the thick layer insulation film of the thickness on a silicon nitride, and the insulator layer between films of the thickness under a silicon nitride and the contact hole is formed, by control of the etching conditions of the layer insulation film under a silicon nitride, the over etching of a semiconductor layer can be suppressed and a semiconductor device without a possibility of generating a junction leakage current can be obtained.

[0062] Form 2. drawing 14 and drawing 15 of operation are the cross section of the semiconductor device concerning the form 2 of implementation of this invention, and are set to drawing 14. 33 n well, and 73, 74, 83 and 84 for p well and 34 n type source drain field, For p type pocket pouring field, and 76, 77, 86 and 87, as for n type pocket pouring field and 121, p type source drain field, and 78 and 88 are [ 75 and 85 / p type impurity range and 122 ] n type impurity ranges. With reference to drawing 14, it sets in the form of this operation. A nMOS transistor is formed in the p well 33 formed by carrying out an ion implantation to a semiconductor layer. A pMOS transistor is formed in the n well 34, and it has CMOS structure. PTI dissociates, and the channel formation field of each transistor passes along the semiconductor layer under PTI, and the voltage clamp of between a nMOS transistor and a pMOS transistor is connected and carried out to p type impurity range 121 or n type impurity range 122. As for the p well 33, the n well 34 contains impurities, such as P, As, and Sb, about three  $1 \times 10^{15}$  to  $1 \times 10^{19}$  /cm, including impurities, such as B, BF<sub>2</sub>, and In, about three  $1 \times 10^{15}$  to  $1 \times 10^{19}$  /cm. Like the form 1 of operation, when the gate electrode 6 of a nMOS transistor is equipped with the polysilicon contest layer, although n type impurities, such as Lynn, are included about three two to  $15 \times 10^{20}$  /cm, about the impurity contained in contest polysilicon of the gate electrode 6 of a pMOS transistor, there is also a case of the impurity of p types, such as boron, and the n type impurity may be included (Single Gate structure). (Dual Gate structure) About each thickness and high impurity concentration other than this, it is the same as that of the semiconductor device shown in the form 1 of operation.

[0063] The embedded insulator layer which was arranged on [ of a semiconductor substrate and this semiconductor substrate / whole ] the front face according to the semiconductor device shown in the form 2 of this operation, Since it has the silicon nitride formed through the layer insulation film on the element front face in the semiconductor device with which the element was formed in the SOI substrate main front face which consists of a semiconductor layer furthermore arranged on the front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened. For this reason, since the substrate suspension effect — can fix stably the potential of the channel formation field under a gate electrode, and the frequency dependence of a time delay is stopped — is suppressed even if the semiconductor layer under a separation insulator layer becomes thin, the reliability of a semiconductor device improves.

[0064] Moreover, when the transistor of a reverse conductivity type adjoins through PTI with



CMOS structure, pressure-proofing between adjoining p wells 33 and n wells 34 improves according to the defect generated in the semiconductor layer under a separation insulator layer, and the effect that improvement in reliability of a semiconductor device can be aimed at is done so.

[0065] Moreover, if hydrogen advances into a gate insulator layer and hydrogen termination is carried out to a semiconductor layer by the interface of a gate insulator layer, although it is known that hot carrier resistance will deteriorate, since the silicon nitride is formed, invasion of the hydrogen to a gate insulator layer and an embedded oxide film is prevented, and the effect that hot carrier resistance improves is done so.

[0066] Moreover, although a manufacturing process will become complicated if between a nMOS field and pMOS fields is set to FTI as shown in drawing 15, latch rise resistance improves.

[0067] Next, the manufacture method of the semiconductor device concerning the form 2 of implementation of this invention is explained. Drawing 16 is the cross section showing one process of the manufacture method of a semiconductor device which shows the form 2 of operation, and 303 is a photoresist mask in drawing 16. First, the separation insulator layer 4 is formed in the front face of a SOI substrate on which the semiconductor layer 3 was arranged in the front face of the semiconductor substrate 1 through the embedded insulator layer like the form 1 of operation. And the photoresist mask 303 which carries out opening of the nMOS field is formed, the ion implantation of the impurity of p types, such as B, BF<sub>2</sub>, and In, is carried out to the whole surface, and the p well 33 which has about three  $1 \times 10^{15}$  to  $1 \times 10^{19}$  /cm high impurity concentration is formed. Drawing 16 is the cross section showing the element of the semiconductor device in the stage which this process finished. Then, the photoresist mask 303 is removed.

[0068] And the photoresist mask which carries out opening of the pMOS field is formed the same with having formed the p well 33, the ion implantation of the impurity of n types, such as P, As, and Sb, is carried out to the whole surface, and the n well 34 which has about three  $1 \times 10^{15}$  to  $1 \times 10^{19}$  /cm high impurity concentration is formed (not shown). Then, a photoresist mask is removed.

[0069] And p type impurity range 121 and n type impurity range 122 are formed like the method shown in the form 1 of operation. It divides by impurity pouring of those other than this striking each field using the photoresist mask which carries out opening about the portion used as the conductivity type from which a nMOS field and a pMOS field differ, and an impurity is introduced like the method shown in the form 1 of operation.

[0070] According to the manufacture method of the semiconductor device shown in the form 2 of this operation, a semiconductor substrate, In the semiconductor device with which the element was formed in the SOI substrate main front face which consists of an embedded insulator layer arranged on [ of this semiconductor substrate / whole ] the front face, and a semiconductor layer further arranged on the front face Since the silicon nitride is formed through a layer insulation film on an element front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened. For this reason, since the substrate suspension effect — the potential of the channel formation field under a gate electrode is fixed stably, and the frequency dependence of a time delay is stopped — is suppressed even if the semiconductor layer under a separation insulator layer becomes thin, the semiconductor device which improved can be manufactured.

[0071] Moreover, since the silicon nitride is formed when the transistor of a reverse conductivity type adjoins through PTI with CMOS structure, pressure-proofing between the p wells 33 and the n wells 34 by which a defect occurs and adjoins the semiconductor layer under a separation insulator layer improves, latch rise resistance improves, and the effect that improvement in reliability of a semiconductor device can be aimed at is done so.

[0072] Moreover, if hydrogen advances into a gate insulator layer and hydrogen termination is carried out to a semiconductor layer by the interface of a gate insulator layer, although it is known that hot carrier resistance will deteriorate, since the silicon nitride is formed, invasion of

the hydrogen to a gate insulator layer and an embedded oxide film is prevented, and the manufacture method of the semiconductor device whose hot carrier resistance improved can be acquired.

[0073] Moreover, since it carries out using a silicon nitride by dividing etching of the thick layer insulation film of the thickness on a silicon nitride, and the insulator layer between films of the thickness under a silicon nitride and the contact hole is formed, by control of the etching conditions of the layer insulation film under a silicon nitride, the over etching of a semiconductor layer can be suppressed and a semiconductor device without a possibility of generating a junction leakage current can be obtained.

[0074] Form 3. drawing 17 of operation is the cross section of the semiconductor device concerning the form 3 of implementation of this invention, in drawing, 132 is a contact hole and 310 is wiring. In the form of this operation, the wiring 310 which the contact hole 132 formed in the layer insulation film 11,111 and the silicon nitride 14 is formed ranging over the source drain field 7 and 8 and front-face top of the separation insulator layer 4, passes along this contact hole 132, and connects to the source drain fields 7 and 8 is the same structure as the form 1 of operation except the point currently formed also on the separation insulator layer 4 front face. Moreover, drawing 18 is the plan of the semiconductor device concerning the form 3 of implementation of this invention, and drawing 17 is a cross section in the F-F cross section shown in drawing 18. In this drawing, since it is easy, the layer insulation films 11 and 111, the silicon nitride 14, wiring 110 and 310, the sidewall insulator layer 9, the source drain fields 71 and 81, and the pocket pouring fields 72 and 82 are omitted.

[0075] Since it has the silicon nitride in the semiconductor device of the borderless contact structure which forms wiring linked to a source drain field ranging over an adjoining separation insulator layer according to the semiconductor device shown in the form 3 of this operation The pn junction which \*\*\*\*\*ing [ of a separation insulator layer ] is suppressed and it becomes from a semiconductor layer and a source drain field in case the contact hole which arrives at a source drain field is formed, While fully being able to maintain distance with wiring and achieving improvement in element density, the semiconductor device which improved can be obtained.

[0076] Moreover, it sets to the semiconductor device with which the element was formed in the SOI substrate main front face which consists of a semiconductor substrate, an embedded insulator layer arranged on [ of this semiconductor substrate / whole ] the front face, and a semiconductor layer further arranged on the front face. Since it has the silicon nitride formed through the layer insulation film on the element front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened. For this reason, since the substrate suspension effect — can fix stably the potential of the channel formation field under a gate electrode, and the frequency dependence of a time delay is stopped — is suppressed even if the semiconductor layer under a separation insulator layer becomes thin, the reliability of a semiconductor device improves.

[0077] Moreover, if hydrogen advances into a gate insulator layer and hydrogen termination is carried out to a semiconductor layer by the interface of a gate insulator layer, although it is known that hot carrier resistance will deteriorate, since the silicon nitride is formed, invasion of the hydrogen to a gate insulator layer and an embedded oxide film is prevented, and the effect that hot carrier resistance improves is done so.

[0078] Drawing 19 is the cross section showing another semiconductor device concerning the form 3 of implementation of this invention, and 123 is n type impurity range. With reference to drawing, impurities, such as P, As, and Sb, are included about three  $1 \times 10^{15}$  to  $1 \times 10^{19}$ —/cm, and it connects with the source drain field 7, and rather than the field where a contact hole 132 is formed on the separation insulator layer 4, n type impurity range 123 spreads to separation insulator layer 4 center section, and is formed. This n type impurity range 123 can be formed by performing a slanting ion implantation etc. after forming a contact hole 132. Except it, it is the same structure as the semiconductor device shown in drawing 17.

[0079] In the semiconductor device of borderless contact structure, although it may happen that

the separation insulator layer 4 exposed in the case of contact hole 132 formation \*\*\*\*\* in spite of forming the silicon nitride 14, by forming n type impurity range 123, the distance of wiring 310 and the semiconductor layer 3 can fully be maintained, and a possibility of generating the junction leakage current in this portion disappears.

[0080] Drawing 20 is the plan showing still more nearly another semiconductor device concerning the form 3 of implementation of this invention, and is the same structure as the semiconductor device shown in drawing 17 except being FTI which the separation insulator layer 4 reaches to the embedded oxide film 2 in the portion surrounded with the dashed line G. Although the role of a lifetime killer is inferior compared with the semiconductor device shown in drawing 17, according to the semiconductor device shown in this drawing 20, even if the separation insulator layer 4 \*\*\*\*\* in the case of contact hole 13 formation, there is no possibility of connecting with the semiconductor layer 3, and reliability improves.

[0081] Moreover, in the form 3 of this operation, although the silicon nitride 14 explained with drawing formed in the whole surface, if the silicon nitride 14 is formed in the field to which PTI is used as isolation, a separation property can be raised in the semiconductor device with which PTI and FTI are used together. Moreover, if the silicon nitride 14 is formed on the front face of a portion in which wiring 310 is formed ranging over a source drain field 7 and 8 and separation insulator layer 4 front-face top, the configuration of the separation insulator layer 4 can be maintained. Moreover, this borderless contact structure can be applied also to the semiconductor device shown in the forms 1 and 2 of operation, and does the same effect so.

[0082] Next, the manufacture method of the semiconductor device concerning the gestalt 3 of implementation of this invention is explained. Drawing 21 is the cross section showing one process of the manufacture method of a semiconductor device which shows the gestalt 3 of operation, and 304 is a photoresist mask in drawing 21. First, the separation insulator layer 4, p type impurity range (in pMOS, it is n type impurity range), the gate insulator layer 5, the gate electrode 6, the pocket pouring fields 72 and 82, the source drain fields 71 and 81, the sidewall insulator layer 9, and the source drain fields 7 and 8 are formed in the front face of a SOI substrate on which the semiconductor layer 3 was arranged in the front face of the semiconductor substrate 1 through the embedded insulator layer like the gestalt 1 of operation.

[0083] And in order to lose the surface dry area by CMP like the form 1 of operation after forming the layer insulation film 11, the silicon nitride 14, and the layer insulation film 111, and carrying out flattening by CMP, a silicon oxide is again deposited in about 50-200nm thickness like the layer insulation film 11 (not shown). Then, after forming the photoresist mask 304 which has opening in the field to which the contact holes 13 and 132 linked to the source drain fields 7 and 8 and p type impurity range 12 are formed on layer insulation film 111 front face, the layer insulation film 111 is \*\*\*\*\*ed like the form 1 of operation. At this time, patterning of the photoresist mask 304 is carried out so that a contact hole 132 may be formed not only the source drain fields 7 and 8 but on separation insulator layer 4 front face. Drawing 21 is the cross section showing the element of the semiconductor device in the stage which this process finished.

[0084] Next, on the low conditions of the selection ratio of a silicon nitride and a silicon oxide, the remaining silicon nitride 14 and the remaining layer insulation film 11 are \*\*\*\*\*ed, and contact holes 132 and 13 are formed. And like the form 1 of operation, wiring 110 and 310 is formed and the semiconductor device shown in drawing 17 is formed. Multilayer-interconnection structure as well as the form 1 of operation is formed next further (not shown).

[0085] In the semiconductor device of the borderless contact structure which forms wiring linked to a source drain field ranging over an adjoining separation insulator layer according to the manufacture method of the semiconductor device shown in the form 3 of this operation Since it carries out using a silicon nitride by dividing etching of the thick layer insulation film of the thickness on a silicon nitride, and the insulator layer between films of the thickness under a silicon nitride and the contact hole is formed, While being able to obtain a semiconductor device without a possibility of the over etching of a semiconductor layer being suppressed and generating a junction leakage current by control of the etching conditions of the layer insulation film under a silicon nitride The pn junction which \*\*\*\*\*ing [ of a separation insulator

layer ] is suppressed and it becomes from a semiconductor layer and a source drain field in case the contact hole which arrives at a source drain field is formed, Distance with wiring can fully be maintained and improvement in the element density of a semiconductor device and improvement in reliability can be aimed at.

[0086] Moreover, it sets to the semiconductor device with which the element was formed in the SOI substrate main front face which consists of a semiconductor substrate, an embedded insulator layer arranged on [ of this semiconductor substrate / whole ] the front face, and a semiconductor layer further arranged on the front face. Since the silicon nitride is formed through a layer insulation film on an element front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened. For this reason, since the substrate suspension effect — the potential of the channel formation field under a gate electrode is fixed stably, and the frequency dependence of a time delay is stopped — is suppressed even if the semiconductor layer under a separation insulator layer becomes thin, the semiconductor device which improved can be manufactured.

[0087] Moreover, if hydrogen advances into a gate insulator layer and hydrogen termination is carried out to a semiconductor layer by the interface of a gate insulator layer, although it is known that hot carrier resistance will deteriorate, since the silicon nitride is formed, invasion of the hydrogen to a gate insulator layer and an embedded oxide film is prevented, and the manufacture method of the semiconductor device whose hot carrier resistance improved can be acquired.

[0088]

[Effect of the Invention] Since this invention is constituted as explained above, it does the following effects so. In the semiconductor device with which the element was formed in the SOI substrate main front face on which this invention consists of a semiconductor substrate, an embedded insulator layer arranged on [ of this semiconductor substrate / whole ] the front face, and a semiconductor layer further arranged on the front face Since it has the silicon nitride formed through the layer insulation film on the element front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened. For this reason, since the substrate suspension effect — can fix stably the potential of the channel formation field under a gate electrode, and the frequency dependence of a time delay is stopped — is suppressed even if the semiconductor layer under a separation insulator layer becomes thin, the reliability of a semiconductor device improves.

[0089] Moreover, when the transistor of a reverse conductivity type adjoins through PTI with CMOS structure, pressure-proofing between the adjoining pMOS transistors and nMOS transistors improves according to the defect generated in the semiconductor layer under a separation insulator layer, and the effect that improvement in reliability of a semiconductor device can be aimed at is done so.

[0090] Moreover, since FTI is formed in the portion which the transistor of a reverse conductivity type adjoins with CMOS structure, pressure-proofing between the adjoining pMOS transistor and a nMOS transistor improves, and the effect that improvement in reliability of a semiconductor device can be aimed at is done so.

[0091] Moreover, in the semiconductor device of the borderless contact structure which forms wiring linked to a source drain field ranging over an adjoining separation insulator layer, since it has the silicon nitride between layer insulation films The pn junction which \*\*\*\*\*ing [ of a separation insulator layer ] is suppressed and it becomes from a semiconductor layer and a source drain field in case the contact hole which arrives at a source drain field is formed, While fully being able to maintain distance with wiring and achieving improvement in element density, the semiconductor device which improved can be obtained.

[0092] Furthermore, although it may happen that the separation insulator layer exposed in the case of contact hole formation of borderless contact structure \*\*\*\*\*s, since each source

drain field is adjoined and the impurity range of the same conductivity type as a source drain field is formed, the distance of wiring and the semiconductor layer under a separation insulator layer can fully be maintained, and a possibility of generating the junction leakage current in this portion disappears.

[0093] Moreover, if hydrogen advances into a gate insulator layer and hydrogen termination is carried out to a semiconductor layer by the interface of a gate insulator layer, although it is known that hot carrier resistance will deteriorate, since the silicon nitride is formed, invasion of the hydrogen to a gate insulator layer and an embedded oxide film is prevented, and the effect that hot carrier resistance improves is done so.

[0094] Moreover, if the metal silicide layer is formed in the source field and the drain field front face, since this metal silicide layer will commit the 1st layer insulation film as an etching stop at the time of \*\*\*\*\*ing, an etching margin increases and wiring can be formed with a sufficient controllability, the semiconductor device which improved can be obtained.

[0095] Moreover, it sets to the semiconductor device with which the element was formed in the SOI substrate main front face which consists of a semiconductor substrate, an embedded insulator layer arranged on [ of this semiconductor substrate / whole ] the front face, and a semiconductor layer further arranged on the front face. Since the silicon nitride is formed through a layer insulation film on an element front face, By the stress of this silicon nitride, the defect which becomes a semiconductor layer under a separation insulator layer with a lifetime killer occurs, and the life of a carrier (nMOS if it becomes an electron hole, pMOS if it becomes electron) can be shortened. For this reason, since the substrate suspension effect — the potential of the channel formation field under a gate electrode is fixed stably, and the frequency dependence of a time delay is stopped — is suppressed even if the semiconductor layer under a separation insulator layer becomes thin, the semiconductor device which improved can be manufactured.

[0096] Moreover, since the silicon nitride is formed between layer-insulation films when the transistor of a reverse conductivity type adjoins through PTI with CMOS structure, pressure-proofing between the pMOS transistors and the nMOS transistors with which a defect occurs and adjoins the semiconductor layer under a separation insulator layer improves, latch rise resistance improves, and the effect that improvement in reliability of a semiconductor device can be aimed at is done so.

[0097] Since the 1st layer insulation film and the 2nd layer insulation film are \*\*\*\*\*ed at another process and the contact hole is formed, by control of the etching conditions of the 1st layer insulation film, the over etching of a semiconductor layer can be suppressed and a semiconductor device without a possibility of generating a junction leakage current can be obtained.

[0098] Moreover, it sets to the semiconductor device of the borderless contact structure which forms wiring linked to a source field and a drain field ranging over an adjoining separation insulator layer. Since it carries out using a silicon nitride by dividing etching of the 1st layer insulation film and the 2nd layer insulation film and the contact hole is formed, While being able to obtain a semiconductor device without a possibility of the over etching of a semiconductor layer being suppressed and generating a junction leakage current by control of the etching conditions of the 1st layer insulation film The pn junction which \*\*\*\*\*ing [ of a separation insulator layer ] is suppressed and it becomes from a semiconductor layer and a source drain field in case the contact hole which arrives at a source drain field is formed, Distance with wiring can fully be maintained and improvement in the element density of a semiconductor device and improvement in reliability can be aimed at.

[0099] Furthermore, since the 1st layer insulation film and the 2nd layer insulation film are etched using a selection ratio with the silicon nitride formed between the 1st layer insulation film and the 2nd layer insulation film, a contact hole can be formed with a sufficient controllability and the semiconductor device which improved can be manufactured.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the cross section showing the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 2]** It is the plan showing the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 3]** It is the cross section showing the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 4]** It is the cross section showing the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 5]** It is the cross section showing the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 6]** It is the plan showing the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 7]** It is the cross section showing the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 8]** It is the plan showing the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 9]** It is the cross section showing one process of the manufacture method of the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 10]** It is the cross section showing one process of the manufacture method of the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 11]** It is the cross section showing one process of the manufacture method of the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 12]** It is the cross section showing one process of the manufacture method of the semiconductor device concerning the gestalt 1 of operation of this invention.

**[Drawing 13]** It is the cross section showing one process of the manufacture method of the semiconductor device concerning the form 1 of operation of this invention.

**[Drawing 14]** It is the cross section showing the semiconductor device concerning the form 2 of operation of this invention.

**[Drawing 15]** It is the cross section showing the semiconductor device concerning the form 2 of operation of this invention.

**[Drawing 16]** It is the cross section showing one process of the manufacture method of the semiconductor device concerning the form 2 of operation of this invention.

**[Drawing 17]** It is the cross section showing the semiconductor device concerning the form 3 of operation of this invention.

**[Drawing 18]** It is the plan showing the semiconductor device concerning the gestalt 3 of operation of this invention.

**[Drawing 19]** It is the cross section showing the semiconductor device concerning the gestalt 3 of operation of this invention.

**[Drawing 20]** It is the plan showing the semiconductor device concerning the gestalt 3 of operation of this invention.

[Drawing 21] It is the cross section showing one process of the manufacture method of the semiconductor device concerning the gestalt 2 of operation of this invention.

[Drawing 22] It is the cross section showing the conventional semiconductor device.

[Drawing 23] It is the cross section showing the conventional semiconductor device.

[Drawing 24] It is the cross section showing the conventional semiconductor device.

[Description of Notations]

2 Embedded Oxide Film 3 Semiconductor Layer 4 Separation Insulator Layer 13 Contact Hole 14  
Silicon Nitride 11,111 Layer Insulation Film

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-352042

(P 2 0 0 1 - 3 5 2 0 4 2 A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
H01L 27/08	331	H01L 27/08	E 5F032
21/76		27/12	F 5F033
21/762		21/76	L 5F048
21/768			D 5F110
21/8238		21/90	K

審査請求 未請求 請求項の数12 O L (全20頁) 最終頁に続く

(21) 出願番号 特願2000-171818 (P 2000-171818)

(22) 出願日 平成12年6月8日 (2000. 6. 8)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 松本 拓治

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 岩松 俊明

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外1名)

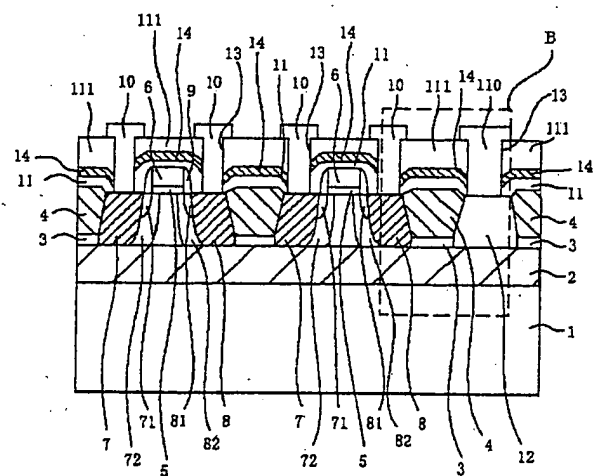
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 P T I 構造の分離絶縁膜を備えた半導体装置において、基板浮遊効果を抑制し、分離特性および耐圧の向上した半導体装置およびその製造方法を得ることを目的とするものである。

【解決手段】 半導体層の表面に形成された素子の上面を覆う層間絶縁膜の間にシリコン窒化膜を形成する。



14 : シリコン窒化膜



## 【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板の主表面上全体に配設された埋込絶縁膜と、この埋込絶縁膜の表面上に配設された第1導電型の半導体層からなるSOI基板を備え、  
前記半導体層の主表面に配設された第1の活性領域と第2の活性領域との間に配設され、前記埋込絶縁膜との間に前記半導体層を残して前記半導体層主表面に形成された分離絶縁膜と、  
前記第1の活性領域の半導体層主表面に所定の距離を隔てて形成された第2導電型の第1のソース領域およびドレイン領域と、  
前記第1のソース領域およびドレイン領域に挟まれる領域と対向するように前記半導体層の主表面上に第1のゲート絶縁膜を介在して形成された第1のゲート電極と、  
前記第2の活性領域の半導体層主表面に形成され、前記分離絶縁膜下の前記半導体層を介して、前記第1のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第1導電型の第1の不純物領域と、  
前記第1および第2の活性領域の半導体層および前記分離絶縁膜表面上に形成された第1の層間絶縁膜と、  
前記第1の層間絶縁膜上に形成されたシリコン窒化膜と、  
前記シリコン窒化膜表面上に形成された第2の層間絶縁膜と、  
前記第1および第2の層間絶縁膜および前記シリコン窒化膜に形成されたコンタクトホールを通過して前記第1のソース領域およびドレイン領域および第1の不純物領域にそれぞれ接続する配線とを備えた半導体装置。  
【請求項2】 半導体層の主表面に配設された第3の活性領域と、  
前記第3の活性領域および第1の活性領域との間に分離絶縁膜を介して、前記半導体層主表面に配設された第4の活性領域と、  
前記第4の活性領域の半導体層主表面に形成された第2導電型の第2の不純物領域と、  
前記第2の不純物領域主表面に所定の距離を隔てて形成された第1導電型の第2のソース領域およびドレイン領域と、  
前記第2のソース領域およびドレイン領域に挟まれる領域と対向するように前記半導体層の主表面上に第2のゲート絶縁膜を介在して形成された第2のゲート電極と、  
前記第3の活性領域の半導体層主表面に形成され、前記分離絶縁膜下の前記半導体層を介して、前記第2のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第2導電型の第3の不純物領域とを備え、  
前記分離絶縁膜は、埋込絶縁膜との間に前記半導体層を残して前記半導体層主表面に形成され、  
第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、前記第3および第4の活性領域の半導体層表面上にまで延びて形成されており、  
前記第1および第2の層間絶縁膜および前記シリコン窒化膜に形成されたコンタクトホールを通過して前記第2のソース領域およびドレイン領域および前記第3の不純物領域にそれぞれ接続する配線を備えていることを特徴とする請求項1記載の半導体装置。  
【請求項3】 半導体層の主表面に配設された第3の活性領域と、  
前記第3の活性領域および第1の活性領域との間に分離絶縁膜を介して、前記半導体層主表面に配設された第4の活性領域と、  
前記第4の活性領域の半導体層主表面に形成された第2導電型の第2の不純物領域と、  
前記第2の不純物領域主表面に所定の距離を隔てて形成された第1導電型の第2のソース領域およびドレイン領域と、  
前記第2のソース領域およびドレイン領域に挟まれる領域と対向するように前記半導体層の主表面上に第2のゲート絶縁膜を介在して形成された第2のゲート電極と、  
前記第3の活性領域の半導体層主表面に形成され、前記分離絶縁膜下の前記半導体層を介して、前記第2のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第2導電型の第3の不純物領域とをさらに備え、  
第1の活性領域と第4の活性領域との間に配設された分離絶縁膜は、埋込絶縁膜まで到達し、  
第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、前記第3および第4の活性領域の半導体層表面上にまで延びて形成されており、  
前記第1および第2の層間絶縁膜および前記シリコン窒化膜に形成されたコンタクトホールを通過して前記第2のソース領域およびドレイン領域および前記第3の不純物領域にそれぞれ接続する配線を備えていることを特徴とする請求項1記載の半導体装置。  
【請求項4】 ソース領域およびドレイン領域に接続する配線が、前記ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面に延在することを特徴とする請求項1ないし請求項3のいずれか一項に記載の半導体装置。  
【請求項5】 分離絶縁膜表面に延在する配線に接続するソース領域およびドレイン領域に隣接して前記分離絶縁膜下の半導体層に形成され、隣接する前記ソース領域およびドレイン領域とそれぞれ同一導電型の不純物を有する不純物領域を備えたことを特徴とする請求項4記載の半導体装置。  
【請求項6】 シリコン窒化膜が全面に形成されていることを特徴とする請求項1ないし請求項5のいずれか一項に記載の半導体装置。  
【請求項7】 ソース領域およびドレイン領域の表面に形成された金属シリサイド層をさらに備えたことを特徴とする請求項1ないし請求項6のいずれか一項に記載の

上にまで延びて形成されており、

前記第1および第2の層間絶縁膜および前記シリコン窒化膜に形成されたコンタクトホールを通過して前記第2のソース領域およびドレイン領域および前記第3の不純物領域にそれぞれ接続する配線をさらに備えたことを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体層の主表面に配設された第3の活性領域と、

前記第3の活性領域および第1の活性領域との間に分離絶縁膜を介して、前記半導体層主表面に配設された第4の活性領域と、

前記第4の活性領域の半導体層主表面に形成された第2導電型の第2の不純物領域と、

前記第2の不純物領域主表面に所定の距離を隔てて形成された第1導電型の第2のソース領域およびドレイン領域と、

前記第2のソース領域およびドレイン領域に挟まれる領域と対向するように前記半導体層の主表面上に第2のゲート絶縁膜を介在して形成された第2のゲート電極と、

前記第3の活性領域の半導体層主表面に形成され、前記分離絶縁膜下の前記半導体層を介して、前記第2のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第2導電型の第3の不純物領域とをさらに備え、  
第1の活性領域と第4の活性領域との間に配設された分離絶縁膜は、埋込絶縁膜まで到達し、

第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、前記第3および第4の活性領域の半導体層表面上にまで延びて形成されており、

前記第1および第2の層間絶縁膜および前記シリコン窒化膜に形成されたコンタクトホールを通過して前記第2のソース領域およびドレイン領域および前記第3の不純物領域にそれぞれ接続する配線を備えていることを特徴とする請求項1記載の半導体装置。

【請求項4】 ソース領域およびドレイン領域に接続する配線が、前記ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面に延在することを特徴とする請求項1ないし請求項3のいずれか一項に記載の半導体装置。

【請求項5】 分離絶縁膜表面に延在する配線に接続するソース領域およびドレイン領域に隣接して前記分離絶縁膜下の半導体層に形成され、隣接する前記ソース領域およびドレイン領域とそれぞれ同一導電型の不純物を有する不純物領域を備えたことを特徴とする請求項4記載の半導体装置。

【請求項6】 シリコン窒化膜が全面に形成されていることを特徴とする請求項1ないし請求項5のいずれか一項に記載の半導体装置。

【請求項7】 ソース領域およびドレイン領域の表面に形成された金属シリサイド層をさらに備えたことを特徴とする請求項1ないし請求項6のいずれか一項に記載の

半導体装置。

【請求項8】 半導体基板表面上に埋込酸化膜を介して形成された第1導電型の半導体層を有するSOI基板の、前記半導体層主表面に配設された第1および第2の活性領域を取り囲み、その下に前記半導体層の一部が残る分離絶縁膜を形成する工程と、  
前記第2の活性領域の半導体層主表面に第1導電型の第1の不純物領域を形成する工程と、  
前記第1の活性領域の半導体層主表面上に、ゲート絶縁膜を介して第1のゲート電極を形成する工程と、  
前記第1の活性領域の半導体層の前記第1のゲート電極と対向する領域を挟んだ主表面に所定の距離を隔てた第2導電型の第1のソース領域およびドレイン領域を形成する工程と、  
前記第1および第2の活性領域の半導体層および前記分離絶縁膜表面上に第1の層間絶縁膜を形成する工程と、  
前記第1の層間絶縁膜上にシリコン窒化膜を形成する工程と、  
前記シリコン窒化膜表面上に第2の層間絶縁膜を形成する工程と、  
前記第1および第2の層間絶縁膜および前記シリコン窒化膜に、前記第1のソース領域およびドレイン領域および第1の不純物領域にそれぞれ到達するコンタクトホールを形成する工程と、  
前記コンタクトホールを通して前記第1のソース領域およびドレイン領域および第1の不純物領域にそれぞれ接続する配線を形成する工程とを備えた半導体装置の製造方法。

【請求項9】 分離絶縁膜はさらに、半導体層の主表面に第1の活性領域に隣接して配設された第3の活性領域およびこの第3の活性領域に隣接して配設された第4の活性領域を取り囲んで形成され、  
前記分離絶縁膜を形成する工程の後で、第1の不純物領域を形成する前に、第4の活性領域に第2導電型の第2の不純物領域を形成する工程を備え、  
前記第3の活性領域の半導体層主表面に第2導電型の第3の不純物領域を形成する工程と、  
前記第2不純物領域主表面上に、ゲート絶縁膜を介して第2のゲート電極を形成する工程と、  
前記第2の不純物領域の前記第2のゲート電極と対向する領域を挟んだ主表面に所定の距離を隔てた第1導電型の第2のソース領域およびドレイン領域を形成する工程とをさらに備え、  
第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、前記第3および第4の活性領域の半導体層表面上にまで延びて形成され、  
前記第1および第2の層間絶縁膜および前記シリコン窒化膜に、前記第2のソース領域およびドレイン領域および前記第3の不純物領域にそれぞれ到達するコンタクトホールを形成する工程と、

前記コンタクトホールを通して前記第2のソース領域およびドレイン領域および前記第3の不純物領域にそれぞれ接続する配線を形成する工程とを備えたことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 コンタクトホールを形成する工程は、第2の層間絶縁膜をエッチングする工程と、第1の層間絶縁膜を形成する工程とを備えていることを特徴とする請求項8または請求項9のいずれか一項に記載の半導体装置の製造方法。

10 【請求項11】 ソース領域およびドレイン領域に到達するコンタクトホールは、前記ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面上に延びて形成されていることを特徴とする請求項8ないし請求項10のいずれか一項に記載の半導体装置。

【請求項12】 第2の層間絶縁膜は、シリコン窒化膜との選択比が高い物質によってエッチングされ、第1の層間絶縁膜は、シリコン窒化膜との選択比が低い物質によってエッチングされることを特徴とする請求項10または請求項11のいずれか一項に記載の半導体装置の製造方法。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、SOI (Silicon On Insulator) 構造の半導体装置およびその製造方法に関し、特に、埋込酸化膜まで到達しない分離絶縁膜（以下PTI (Partial Trench Isolation) と称す）を有する半導体装置およびその製造方法に関するものである。

【0002】

30 【従来の技術】半導体基板、埋込酸化膜および半導体層からなるSOI (Silicon On Insulator) 構造を有する半導体装置は、埋込酸化膜とこの埋込酸化膜まで到達する素子分離（以下FTI (Full Trench Isolation) と称す）によって、活性領域が取り囲まれているため、CMOSトランジスタを形成してもラッチアップが起こる心配がなく、また、薄い半導体層に形成されているため、半導体基板表面に直接トランジスタが形成された半導体装置に比べて接合容量が小さく、高速動作が可能であるととも低消費電力である。このため、最近では特に、携帯機器用LSIなどへの応用が期待されている。

40 【0003】しかし、半導体基板そのものに形成されたトランジスタと異なり、従来のSOI構造の半導体装置は、半導体層が埋込酸化膜によって半導体基板から電気的に分離されているため、活性領域で衝突電離現象によって発生するキャリア（nMOSではホール、pMOSでは電子）が、チャネル形成領域の下方の半導体層内に溜まり、これによりキックが発生したり、動作耐圧が劣化したり、また、チャネル領域の電位が安定しないために遅延時間の周波数依存性が出る等の基板浮遊効果により生ずる種々の問題点がある。この問題を解決するため

には、チャネル形成領域の電位を固定する方法が有効である。特開昭58-124, 243号公報には、このように、チャネル形成領域の電位が固定された半導体装置が開示されている。

【0004】近年では、さらに各トランジスタ毎にチャネル形成領域の電位を固定するのではなく、同一導電型の複数のトランジスタのチャネル形成領域の電位を一括して固定するために、PTIによって分離を行って微細化を図っており、この構造は、IEEE International SOI Conference, Oct. 1999 p131-132などに開示されている。

【0005】図22は従来の半導体装置を示す断面図であり、図において、101は半導体基板、102は埋込酸化膜、103はp型半導体層、104は分離酸化膜、105はゲート絶縁膜、106はゲート電極、107および108はn型ソース・ドレイン領域、109はサイドウォール絶縁膜、1010は配線、1011は層間絶縁膜、1012はp型不純物領域、1013はコンタクトホールである。図に示したように、PTIの場合、隣接する二つのトランジスタ間の分離酸化膜104は埋込酸化膜102に到達しておらず、二つのトランジスタのチャネル形成領域がつながった状態となっており、同一導電型の複数のトランジスタに対して、チャネル形成領域の電位を固定するための配線1110がp型不純物領域1012に接続して形成されている。このp型不純物領域1012は、p型半導体層103よりも高濃度の不純物を含んで低抵抗化されている。

【0006】また、微細化に伴って、配線1010を分離酸化膜104の表面上に乗り上げて形成し（以下、ボーダーレスコンタクト構造と称す）、素子密度の向上を図っている。図23は従来の半導体装置を示す断面図である。図を参照して、ソース・ドレイン領域107および108に接続する配線1010はそれぞれ、分離酸化膜104表面上に乗り上げる形で形成されている。

【0007】

【発明が解決しようとする課題】しかしながら、分離絶縁膜をPTI構造として、チャネル形成領域の電位を固定した半導体装置においても、PTI下の半導体層が薄い（～50nm）、基板浮遊効果を生じてしまうという問題点があった。これは、PTI下の半導体層が薄いと、チャネル形成領域の電位を固定している配線から離れるに従って、この配線とトランジスタとの間の抵抗が高くなり、トランジスタ特性に影響を与えるためである。また、チャネル形成領域の電位を固定する配線からの距離によって、各トランジスタのチャネル形成領域の抵抗にバラツキが生じ、素子特性にもバラツキが生じるという問題点があった。

【0008】また、ボーダーレスコンタクト構造を用いて素子密度を向上させようすると、分離酸化膜104とTEOS酸化膜（tetraethyl orthosilicate）などが

なる層間絶縁膜1011が同質膜であるため、層間絶縁膜1011にコンタクトホール1013を形成する際に、分離酸化膜104もエッチングされてしまうという問題点があった。図24は従来の半導体装置を示す断面図である。この図に示したように、分離酸化膜104がエッチングされると、分離酸化膜104下のp型半導体層103とソース・ドレイン領域107または108によって形成されるpn接合と、配線1010との距離が短くなり、接合リーク電流の増加を引き起こす。

【0009】本発明は、上記した課題を解決するためになされたもので、複数のトランジスタのチャネル形成領域の電圧を一括して固定することができるPTI構造の分離絶縁膜を備えた半導体装置において、基板浮遊効果を抑制し、分離特性および耐圧の向上した半導体装置およびその製造方法を得ることを目的とするものである。また、ボーダーレス構造の半導体装置においても接合リーク電流を抑制し、微細化および低消費電力化された半導体装置およびその製造方法を得ることを目的とするものである。

【0010】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、この半導体基板の主表面上全体に配設された埋込絶縁膜と、この埋込絶縁膜の表面上に配設された第1導電型の半導体層からなるSOI基板を備え、半導体層の主表面に配設された第1の活性領域と第2の活性領域との間に配設され、埋込絶縁膜との間に半導体層を残して半導体層主表面に形成された分離絶縁膜と、第1の活性領域の半導体層主表面に所定の距離を隔てて形成された第2導電型の第1のソース領域およびドレイン領域と、第1のソース領域およびドレイン領域に挟まれる領域と対向するように半導体層の主表面上に第1のゲート絶縁膜を介して形成された第1のゲート電極と、第2の活性領域の半導体層主表面に形成され、分離絶縁膜下の半導体層を介して、第1のソース領域およびドレイン領域に挟まれる領域に電気的に接続する第1導電型の第1の不純物領域と、第1および第2の活性領域の半導体層および分離絶縁膜表面上に形成された第1の層間絶縁膜と、第1の層間絶縁膜上に形成されたシリコン窒化膜と、シリコン窒化膜表面上に形成された第2の層間絶縁膜と、第1および第2の層間絶縁膜およびシリコン窒化膜に形成されたコンタクトホールを通して第1のソース領域およびドレイン領域および第1の不純物領域にそれぞれ接続する配線とを備えたものであり、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。

【0011】また、半導体層の主表面に配設された第3

の活性領域と、第3の活性領域および第1の活性領域との間に分離絶縁膜を介して、半導体層主表面に配設された第4の活性領域と、第4の活性領域の半導体層主表面に形成された第2導電型の第2の不純物領域と、第2の不純物領域主表面に所定の距離を隔てて形成された第1導電型の第2のソース領域およびドレイン領域と、第2のソース領域およびドレイン領域に挟まれる領域と対向するように半導体層の主表面上に第2のゲート絶縁膜を介在して形成された第2のゲート電極と、第3の活性領域の半導体層主表面に形成され、分離絶縁膜下の半導体層を介して、第2のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第2導電型の第3の不純物領域とを備え、分離絶縁膜は、埋込絶縁膜との間に半導体層を残して半導体層主表面に形成され、第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、第3および第4の活性領域の半導体層表面上にまで延びて形成されており、第1および第2の層間絶縁膜およびシリコン窒化膜に形成されたコンタクトホールを通して第2のソース領域およびドレイン領域および第3の不純物領域にそれぞれ接続する配線をさらに備えたことを特徴とするものであり、分離絶縁膜下の半導体層に発生した欠陥によって、隣接するpMOSトランジスタとnMOSトランジスタとの間での耐圧が向上する。

【0012】また、半導体層の主表面に配設された第3の活性領域と、第3の活性領域および第1の活性領域との間に分離絶縁膜を介して、半導体層主表面に配設された第4の活性領域と、第4の活性領域の半導体層主表面に形成された第2導電型の第2の不純物領域と、第2の不純物領域主表面に所定の距離を隔てて形成された第1導電型の第2のソース領域およびドレイン領域と、第2のソース領域およびドレイン領域に挟まれる領域と対向するように半導体層の主表面上に第2のゲート絶縁膜を介在して形成された第2のゲート電極と、第3の活性領域の半導体層主表面に形成され、分離絶縁膜下の半導体層を介して、第2のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第2導電型の第3の不純物領域とをさらに備え、第1の活性領域と第4の活性領域との間に配設された分離絶縁膜は、埋込絶縁膜まで到達し、第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、第3および第4の活性領域の半導体層表面上にまで延びて形成されており、第1および第2の層間絶縁膜およびシリコン窒化膜に形成されたコンタクトホールを通して第2のソース領域およびドレイン領域および第3の不純物領域にそれぞれ接続する配線を備えていることを特徴とするものであり、隣接するpMOSトランジスタとnMOSトランジスタの間での耐圧が向上する。

【0013】また、ソース領域およびドレイン領域に接続する配線が、ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面に延在することを特徴とする

ものであり、シリコン窒化膜によって、ソース領域およびドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができる。

【0014】さらに、分離絶縁膜表面に延在する配線に接続するソース領域およびドレイン領域に隣接して、分離絶縁膜下の半導体層に形成され、隣接するソース領域およびドレイン領域とそれぞれ同一導電型の不純物を有する不純物領域を備えたことを特徴とするものであり、コンタクトホール形成の際に露出する分離絶縁膜がエッチングされることがあっても、それぞれのソース・ドレイン領域に隣接して、ソース・ドレイン領域と同一導電型の不純物領域が形成されているので、配線と分離絶縁膜下の半導体層との距離を十分に保つことができ、この部分での接合リーク電流を発生するおそれなくなる。

【0015】また、シリコン窒化膜が全面に形成されていることを特徴とするものであり、シリコン窒化膜によって、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止される。

【0016】また、ソース領域およびドレイン領域の表面に形成された金属シリサイド層をさらに備えたことを特徴とするものであり、この金属シリサイド層が第1の層間絶縁膜をエッチングする際のエッチングストップとして働くので、エッチングマージンが増える。

【0017】また、半導体基板表面上に埋込酸化膜を介して形成された第1導電型の半導体層を有するSOI基板の、半導体層主表面に配設された第1および第2の活性領域を取り囲み、その下に半導体層の一部が残る分離絶縁膜を形成する工程と、第2の活性領域の半導体層主表面に第1導電型の第1の不純物領域を形成する工程と、第1の活性領域の半導体層主表面上に、ゲート絶縁膜を介して第1のゲート電極を形成する工程と、第1の活性領域の半導体層の第1のゲート電極と対向する領域を挟んだ主表面に所定の距離を隔てた第2導電型の第1のソース領域およびドレイン領域を形成する工程と、第1および第2の活性領域の半導体層および分離絶縁膜表面上に第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜上にシリコン窒化膜を形成する工程と、シリコン窒化膜表面上に第2の層間絶縁膜を形成する工程と、第1および第2の層間絶縁膜およびシリコン窒化膜に、第1のソース領域およびドレイン領域および第1の不純物領域にそれぞれ到達するコンタクトホールを形成する工程と、コンタクトホールを通して第1のソース領域およびドレイン領域および第1の不純物領域にそれぞれ接続する配線を形成する工程とを備えたものであり、シリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア(nMOSならば正孔、pMOSならば電子)の寿命を短くすることができる。

【0018】加えて、分離絶縁膜はさらに、半導体層の主表面に第1の活性領域に隣接して配設された第3の活性領域およびこの第3の活性領域に隣接して配設された第4の活性領域を取り囲んで形成され、分離絶縁膜を形成する工程の後で、第1の不純物領域を形成する前に、第4の活性領域に第2導電型の第2の不純物領域を形成する工程を備え、第3の活性領域の半導体層主表面に第2導電型の第3の不純物領域を形成する工程と、第2不純物領域主表面上に、ゲート絶縁膜を介して第2のゲート電極を形成する工程と、第2の不純物領域の第2のゲート電極と対向する領域を挟んだ主表面に所定の距離を隔てた第1導電型の第2のソース領域およびドレイン領域を形成する工程とをさらに備え、第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、第3および第4の活性領域の半導体層表面上にまで延びて形成され、第1および第2の層間絶縁膜およびシリコン窒化膜に、第2のソース領域およびドレイン領域および第3の不純物領域にそれぞれ到達するコンタクトホールを形成する工程と、コンタクトホールを通して第2のソース領域およびドレイン領域および第3の不純物領域にそれぞれ接続する配線を形成する工程とを備えたことを特徴とするものであり、分離絶縁膜下の半導体層に欠陥が発生し、隣接するpMOSトランジスタとnMOSトランジスタとの間での耐圧が向上してラッチアップ耐性が向上した半導体装置を得ることができる。

【0019】また、コンタクトホールを形成する工程は、第2の層間絶縁膜をエッチングする工程と、第1の層間絶縁膜を形成する工程とを備えていることを特徴とするものであり、第1の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、

【0020】さらに、ソース領域およびドレイン領域に到達するコンタクトホールは、ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面上に延びて形成されていることを特徴とするものであり、シリコン窒化膜を用いて、第1の層間絶縁膜と第2の層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、第1の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができるとともに、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、半導体装置の素子密度の向上と信頼性の向上を図ることができる。

【0021】さらに、第2の層間絶縁膜は、シリコン窒化膜との選択比が高い物質によってエッチングされ、第1の層間絶縁膜は、シリコン窒化膜との選択比が低い物質によってエッチングされることを特徴とするものであ

り、シリコン窒化膜との選択比を利用して、第1の層間絶縁膜と第2の層間絶縁膜のエッチングを行っているため、制御性よくコンタクトホールを形成することができる。

【0022】

【発明の実施の形態】実施の形態1. 図1はこの発明の実施の形態1に係る半導体装置の断面図であり、図1において、1は半導体基板、2は埋込酸化膜、3は半導体層、4は分離絶縁膜、5はゲート絶縁膜、6はゲート電極、7、71、8および81はソース・ドレイン領域、72および82はポケット注入領域、9はサイドウォール絶縁膜、10および110は配線、11は層間絶縁膜、12はp型不純物領域、13はコンタクトホール、14はシリコン窒化膜である。また、図2はこの発明の実施の形態1にかかる半導体装置の上面図であり、図1は、図2に示したA-A断面における断面図である。この図においては、層間絶縁膜11および111、シリコン窒化膜14、配線10、サイドウォール絶縁膜9、ソース・ドレイン領域71および81、ポケット注入領域72および82は、簡単のため省略している。

【0023】図1を参照して、半導体基板1表面上全面に埋込酸化膜2を介して半導体層3が形成されたものは、SOI基板と呼ばれており、その形成方法は、張り合わせ法やSIMOX法など、様々なものがあるが、いずれの方法で形成されていてもかまわない。そして、埋込酸化膜2の膜厚は100nm～500nm程度であり、半導体層3は膜厚が30～400nm程度で、ボロンなどのp型不純物を $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ 程度含んでいる。

【0024】そして、半導体層3に形成されたp型不純物領域12と、シリコン酸化膜などの分離絶縁膜4(P-TI)からなる部分分離領域によって、トランジスタが形成された活性領域が取り囲まれて互いに分離されており、最小分離幅は200nm程度である。また、分離絶縁膜4の膜厚は、半導体層3の膜厚の2分の1から3分の1程度で、分離絶縁膜4下の半導体層3の膜厚が10～200nm程度となるように設定する。

【0025】そして、分離絶縁膜4の上面は半導体層3の表面と同一であることが微細加工上好ましいが、半導体層3が薄い場合は、分離絶縁膜4下の半導体層3の膜厚を十分に残そうとすると、素子分離に必要な膜厚を取ることが難しくなるため、分離絶縁膜4の上面を半導体層3表面よりも高く形成した方が素子分離性能が向上する。また、半導体層3と分離絶縁膜4との間には、必要に応じて5～30nm程度のシリコン酸化膜が形成されている(図示せず)。ここでは、分離絶縁膜4としてシリコン酸化膜を用いているが、シリコン窒化膜、シリコン酸窒化膜、フッ素を含有したシリコン酸化膜またはポーラス状のシリコン酸化膜など、他の絶縁膜でもかまわない。

【0026】ソース・ドレイン領域7、8、71、81、ポケット注入領域72、82およびp型不純物領域12はp型半導体層3に不純物を注入して形成されており、p型不純物領域12はボロンなどを $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 程度含んでいる。また、ポケット注入領域72および82は、B、BF<sub>3</sub>またはIn $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 程度含んでいる。このポケット注入領域72および82は短チャネル効果を抑制するためのものであり、ゲート絶縁膜やソース・ドレイン領域の接合深さなどを調節して最適化すれば、形成不要となる場合もある。また、ソース・ドレイン領域7および8はヒ素などのn型不純物を $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 程度含んで、埋込酸化膜2まで到達して形成されており、ソース・ドレイン領域71および81はリンなどのn型不純物を $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 程度含んで、ソース・ドレイン領域7および8とともにLDD (Lightly Doped Drain) 構造となっている。ただし、LDD構造は、必要に応じて形成される。また、ソース・ドレイン領域7および8は埋込酸化膜2まで到達しない場合もある。

【0027】ゲート絶縁膜5としては、SiO<sub>2</sub>、SiON、SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> (ONO) の積層膜、Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub>、BST膜 (Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>; Barium Strontium Titanium) などがある。ゲート電極6は、リンなどのn型不純物を $2 \sim 15 \times 10^{20} / \text{cm}^3$ 程度含み、膜厚が100~400nm程度のポリシリコンで形成されているが、これ以外にも、不純物を含んだポリシリコンとTiSi<sub>2</sub>、CoSi<sub>2</sub>、NiSi<sub>2</sub>、WSi<sub>2</sub>、TaSi<sub>2</sub>、MoSi<sub>2</sub>、HfSi<sub>2</sub>、Pd<sub>2</sub>Si、PtSi<sub>2</sub>、ZrSi<sub>2</sub>などの金属シリサイド層または、W、Mo、Cu、Alなどの金属との積層構造でもよいし、W、Mo、Cu、Alなどの金属で形成されていてもよい。また、ソース・ドレイン領域7、8およびp型不純物領域12の表面にもTiSi<sub>2</sub>、CoSi<sub>2</sub>、NiSi<sub>2</sub>、WSi<sub>2</sub>、TaSi<sub>2</sub>、MoSi<sub>2</sub>、HfSi<sub>2</sub>、Pd<sub>2</sub>Si、PtSi<sub>2</sub>、ZrSi<sub>2</sub>などの金属シリサイドが形成されていてもよい (図示せず)。

【0028】サイドウォール絶縁膜9は、シリコン酸化膜、TEOS膜、Si<sub>3</sub>N<sub>4</sub>膜またはSi<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の積層膜などで形成されているが、Si<sub>3</sub>N<sub>4</sub>膜またはSi<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の積層膜などのように窒素を含んだ膜の方が、コンタクトホール13形成のマスクずれによってもエッチングされるおそれがない。また、シリコン窒化膜14との相乗効果で、ソース領域として動作するソース・ドレイン領域7および71、または8および81近傍の、チャネル形成領域となる半導体層3に、ストレスによって発生する欠陥密度を高めることができ、チャネル形成領域のキャリア (nMOSならば正孔、pMOSならば電子) がソース領域に吸収されて、基板フローティング効果をよりいっそう抑制することができ

る。

【0029】層間絶縁膜11および111は、プラズマCVD法、LPCVD (Low Pressure Chemical Vapor Deposition) 法、または常圧CVD法などで形成されたシリコン酸化膜からなり、層間絶縁膜11は10~300nm程度、層間絶縁膜111は100~2000nm程度の膜厚を有する。また、シリコン酸化膜の代わりに、TEOS (Tetra Ethyle Ortho Silicate) 膜、SOG (Spin On Glass) 膜や、不純物が注入されたPSG (Phospho Silicate Glass)、BSG (Boro Silicate Glass)、BPSG (Boro Phospho Silicate Glass) またはBPTEOS (Boro Phospho TEOS) で形成されていてもよい。

【0030】シリコン窒化膜14は50~100nm程度の膜厚を有し、0.1μm~0.5μm径のコンタクトホール13が形成されている部分を除いて全面に形成されている。そして、このシリコン窒化膜14が形成されたことによって、分離絶縁膜4の下半導体層3に欠陥が形成される。図3はこの発明の実施の形態1に係る半導体装置の断面図であり、図1に示した破線Bで取り囲んだ部分の拡大図である。この図に示したように、分離絶縁膜4下に欠陥が形成される。

【0031】一般的にシリコン窒化膜の組成としては、 $1 \times 10^{11} \text{ dyn/cm}^2$ 程度のストレスを有するSi<sub>3</sub>N<sub>4</sub>が知られているが、Si<sub>3</sub>N<sub>4</sub>のSiに対するNの比率によって膜ストレスを制御することができる。さらに、Oを添加して、OとNの組成比を変化させることによって膜ストレスを制御することができるため、シリコン窒化膜の代わりにシリコン酸窒化膜 (SiON) を形成してもよい。

【0032】次に動作について説明する。図1を参照して、例えばnMOSTランジスタの場合、各電極に印加する電圧は、V<sub>g</sub>=1.8V、V<sub>d</sub>=1.8V、V<sub>s</sub>=0V、V<sub>b</sub>=0V程度であり、ゲート電極5下の半導体層3表面にチャネルが形成され、ソース・ドレイン領域7および71、またはソース・ドレイン領域8および81の一方がソース領域、他方がドレイン領域となり、回路として動作する。分離絶縁膜4下の半導体層3は、ゲート電極6下の半導体層3と同様にp型の不純物を含んでいるため、ゲート電極6下の半導体層3には、不純物領域12を介して配線110から電圧が印加される。これらの電圧は一例であり、ゲート絶縁膜厚やゲート長によって変動するものである。

【0033】この実施の形態1においては、nMOSTランジスタが形成されている場合について説明を行ったが、pMOSTランジスタが形成される場合は、半導体層3に含まれる不純物はリンやヒ素などのn型の不純物、ソース・ドレイン領域7、8、71および81に含まれる不純物はボロンなどのp型の不純物、ポケット注入領域72および82に含まれる不純物はAs、Pまた

はSbなどのn型の不純物、ゲート電極6に含まれる不純物は、ボロンなどのp型の不純物とする。そしてp型不純物領域12に替えてn型不純物領域を形成する。この場合の印加電圧はそれぞれ、 $V_g = 0V$ 、 $V_d = 0V$ 、 $V_s = 1.8V$ 、 $V_g = 1.8V$ 程度である。

【0034】さらに、この実施の形態1においては、配線10および110の配置についての一例を示しているが、回路の構成によって、配線とトランジスタとの間に形成される層間絶縁膜の層数、配置などは異なるものであり、また、一つの活性領域に一つのトランジスタが形成された半導体装置を用いて説明を行っているが、特にこれに限られるものではない。

【0035】また、この実施の形態1においては、シリコン窒化膜14が全面に形成された図によって説明を行ったが、PTIとFTIが併用されている半導体装置においては（図示せず）、素子分離としてPTIが用いられている領域にシリコン窒化膜14が形成されていれば、分離特性を向上させることができる。

【0036】図4はこの発明の実施の形態1に係る別の半導体装置を示す断面図であり、図において141はシリコン窒化膜である。この図に示したように、サイドウォール絶縁膜9をSi<sub>3</sub>N<sub>4</sub>膜またはSi<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の積層膜などのような素素を含んだ膜で形成するとともに、ゲート電極6の表面上にシリコン窒化膜141が形成されていると、ゲート電極6と配線10が接続するおそれがよりいっそうなくなる。

【0037】図5はこの発明の実施の形態1に係るさらに別の半導体装置を示す断面図であり、図6は、この発明の実施の形態1にかかるさらに別の半導体装置を示す上面図である。図5に示した半導体装置の断面図は、図6中のC-C断面における断面図である。これらの図を参照して、ゲート電極6とソース・ドレイン領域7の両方に接続する配線10を備えており、この部分のコンタクトホール径は他の部分のコンタクトホール径の約2倍程度である。このような構造の半導体装置は、一般的にシェアドコンタクト構造と呼ばれ、ゲート電極6とソース・ドレイン領域7が常に同電位で動作するSRAMメモリセルなどに用いられる。この配線構造以外は、図1に示した半導体装置と同様の構造である。

【0038】図7は、この発明の実施の形態1に係るさらに別の半導体装置を示す断面図であり、113は層間絶縁膜、131はコンタクトホール、210は配線である。この図を参照して、層間絶縁膜113に形成されたコンタクトホール131を通して、ゲート電極6に配線210が接続されるが、このコンタクトホール131が形成される領域は、分離絶縁膜4が埋込酸化膜2まで到達するFTIとなっている以外は、図1および図2に示した半導体装置と同様の構造である。図8は、図7に示した半導体装置の上面図であり、図7に示した断面図は、図8に示したD-D断面における断面図である。図

8を参照して、破線Eで取り囲まれた部分がFTIとなっている。図8においては、簡単のため、層間絶縁膜は図示していない。このようにFTIとPTIを併用すると、コンタクトホール131形成の際にマスクずれが発生しても、分離絶縁膜4がエッチングされて半導体層3に到達するというおそれがなく、信頼性が向上する。

【0039】この実施の形態1に示した半導体装置によれば、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位を安定に固定でき、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、半導体装置の信頼性が向上する。

【0040】また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上するという効果を奏する。

【0041】また、シリコン窒化膜において、Siに対するNの比率を制御したり、シリコン酸窒化膜において、OとNの比率を制御することによって、シリコン窒化膜やシリコン酸窒化膜の膜ストレスを高くすることができ、PTIの分離絶縁膜下の半導体層に発生する欠陥密度を高めることができるため、ライフタイムキラーの役割が高められる。

【0042】次にこの発明の実施の形態1に係る半導体装置の製造方法について説明する。図9～図13は、実施の形態1を示す半導体装置の製造方法の一工程を示す断面図であり、図9において、31はシリコン酸化膜、32はシリコン窒化膜、41は溝である。図9を参照して、半導体基板1の表面上に埋込酸化膜2および半導体層3を備えたSOI基板の、半導体層3表面上に、5～40nm程度の膜厚を有するシリコン酸化膜31を形成する。このシリコン酸化膜31の形成方法としては、熱酸化法や、TEOS酸化膜をCVD法によって形成する方法などがある。

【0043】そして、LPCVD法やプラズマ窒化膜CVD法によって、50～300nm程度の膜厚を有するシリコン窒化膜32を形成し、フォトリソマスク（図示せず）を用いて分離領域上のシリコン窒化膜32およびシリコン酸化膜31をRIE（Reactive Ion Etching）または、ECR（Electron Cyclotron Resonance）



e) 装置を用いた異方性エッチングにより選択的に除去する。そして、フォトレジストマスクを除去した後にシリコン窒化膜32をマスクとしてRIEまたはECR装置を用いて半導体基板1を異方性エッチングし、半導体基板1の表面に、深さ20~300nm程度の溝41を形成する。この溝41の幅は100~500nm程度であり、溝41の下に半導体層3が10~100nm程度残るように調節する。図9はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0044】図10において、42は溝、301はフォトレジストマスクである。PTIとFTIを併用する場合は、図9に示した工程の後に、FTIとする部分を開口するフォトレジストマスク301を形成して、溝41の底部をエッチングし、埋込酸化膜2まで到達する溝42を形成する。図10はこの工程が終わった段階での半導体装置の素子を示す断面図である。フォトレジストマスク301は、溝41の内部まで形成してもよいし、シリコン窒化膜32表面上に形成してもよい。

【0045】次にプラズマTEOSまたはHDP (High Density Plasma) 装置により全面にシリコン酸化膜を100nm~500nm程度の膜厚で形成し(図示せず)、1000~1100℃程度の熱処理を行って膜質を向上させる。そして、シリコン窒化膜32をストッパーとしたCMP (Chemical Mechanical Polishing) 法によって、シリコン窒化膜32表面上のシリコン酸化膜を除去し、溝41、シリコン酸化膜31およびシリコン窒化膜32からなる開口の内部のみにシリコン酸化膜を残す。その後、この開口内部のシリコン酸化膜表面と、半導体層3表面との段差をなくするためにシリコン酸化膜をエッチングしてから、熱リン酸によるウェットエッチングでシリコン窒化膜32を除去し、シリコン酸化膜31を除去して、分離絶縁膜4が形成される。図11はこの工程が終わった段階での断面図である。

【0046】溝41内に、シリコン酸化膜を堆積させる前に900~1000℃程度の高温熱酸化を行うと、溝41底面と側面とによって形成されるシリコンの角部や、溝41側面と半導体層3表面によって形成されるシリコンの角部を丸めることができ、この部分でのストレスが緩和される。

【0047】そして、熱酸化によるシリコン酸化膜を全面に形成してから(図示せず)、チャネル形成領域の電位を固定するための配線を形成する部分に開口を有するフォトレジストマスク(図示せず)を形成し、nMOSの場合は、B、BF<sub>3</sub>、Inなどのp型の不純物をイオン注入して、 $1 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ 程度の不純物濃度を有するp型不純物領域12を形成する。pMOSの場合は、P、As、Sbなどのn型の不純物によってn型不純物領域を形成する。さらに、必要に応じて、nMOSの場合はボロンや弗化ボロン、pMOSの場合リンやヒ素などの不純物を10~20KeV、 $1 \times$

$10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ 程度で全面にイオン注入して、チャネル形成領域にしきい値を調整する不純物を導入する(図示せず)。このシリコン酸化膜はイオン注入の際のダメージから半導体基板表面を保護するものであり、これらのイオン注入後に除去する。

【0048】次に、図12を参照して、ゲート絶縁膜5として、例えば、シリコン酸化膜を7~10nm程度の膜厚で半導体基板1表面全体に熱酸化によって形成してから、ゲート電極6となるポリシリコン層を、LPCVD法によって100~400nm程度全面に堆積させた後、フォトレジストマスク(図示せず)を用いて、RIEまたはECRなどの異方性エッチング装置によってパターニングすることで、ゲート電極となるポリシリコン層6を形成する。この時、ポリシリコン層の表面上にシリコン酸化膜や、シリコン窒化膜とシリコン酸化膜の積層膜を形成してから、フォトレジストマスクを用いて、これらの膜を一旦パターニングし、その後で、このパターニングされた膜を用いてポリシリコン層を加工してもよい。また、ポリシリコン層の表面上にWSiなどの金属シリサイド層を堆積させてからパターニングしてもよい(図示せず)。

【0049】その後、nMOSの場合にはボロンやフッ化ボロンなど、pMOSの場合にはリンやヒ素などを $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 程度でそれぞれイオン注入して、ポケット注入領域72および82を形成する。そして、nMOSの場合にはリンやヒ素、pMOSの場合にはボロンやフッ化ボロンなどを20~40keV、 $1 \sim 3 \times 10^{13} / \text{cm}^2$ 程度でそれぞれイオン注入して、ソース・ドレイン領域71および81を形成する。次に、プラズマCVD法により全面にシリコン酸化膜を30~100nm程度の膜厚で堆積し、エッチバックすることによって、サイドウォール絶縁膜9を形成した後、nMOSの場合はヒ素など、pMOSの場合はボロンや弗化ボロンなどを10KeV、 $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 程度でイオン注入してソース・ドレイン領域7および8を形成する。図12はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0050】サイドウォール絶縁膜9は、TEOS膜などでもよく、LPCVD法やプラズマCVD法でSi<sub>3</sub>N<sub>4</sub>や、Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の積層膜を形成してもよい。積層膜とする場合は、例えば、シリコン酸化膜をRTO (Rapid Thermal Oxidation) で形成してからシリコン窒化膜をCVD法で堆積し、エッチバックして形成する。ポケット注入領域72および82が形成されない場合もあり、ソース・ドレイン領域も必要に応じてLDD構造とするため、場合によって、ソース・ドレイン領域7および8を形成しない場合もある。注入された不純物は800~1150℃程度で10~30分程度アニールすることで活性化される。

【0051】ゲート電極6やソース・ドレイン領域7お



および8表面に $\text{CoSi}_2$ などの金属シリサイド層を形成する場合は、この段階で、全面にコバルトを堆積してRTA (Rapid Thermal Anneal) 処理すると、シリコンが露出したゲート電極6表面やソース・ドレイン領域7および8表面で反応し、この部分に金属シリサイド層が形成される。その後、未反応のまま残ったコバルトを除去する(図示せず)。 $\text{CoSi}_2$ 以外に、 $\text{TiSi}_2$ 、 $\text{NiSi}_2$ 、 $\text{WSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{MoSi}_2$ 、 $\text{HfSi}_2$ 、 $\text{Pd}_2\text{Si}$ 、 $\text{PtSi}$ 、 $\text{ZrSi}_2$ などの金属シリサイドでもよい。

【0052】図13において、302はフォトレジストマスクである。図13を参照して、層間絶縁膜11となるシリコン酸化膜をプラズマCVD法、LPCVD法、または常圧CVD法などで10~300nm程度堆積する。層間絶縁膜11は、シリコン酸化膜の代わりに、TEOS膜、SOG膜や、不純物が注入されたPSG、BPSG、BPSGまたはBPTEOSで形成されていてもよい。

【0053】その後、LPCVD (600~800℃)、プラズマCVD (300~500℃) または常圧CVD (300~500℃) など50~100nm程度の膜厚を有するシリコン窒化膜14を形成する。シリコン窒化膜 $\text{Si}_3\text{N}_4$ の代わりに $\text{SiO}_2\text{N}_2$ を用いてもよく、SiとNの組成を $\text{Si}_3\text{N}_4$ と異ならせてもよい。LPCVD法で形成した膜は膜厚均一性がよく、緻密性や化学的安定性が高いという利点を有し、プラズマCVD法や、常圧CVD法で形成した膜は低温で形成可能であるため、不純物のTED (Transient Enhanced Diffusion) を抑制することが可能となつて、トランジスタの電流駆動能力を向上することができるという利点を有する。また、プラズマCVD法は、シリコン窒化膜のSiとNの組成比の制御が容易であるため、ストレスの制御も可能となる。

【0054】そして、層間絶縁膜11と同様にして100~2000nm程度の膜厚を有する層間絶縁膜111を形成した後、CMPで平坦化してから、CMPによる表面荒れをなくすために、層間絶縁膜11と同様にして再度シリコン酸化膜を50~200nm程度の膜厚で堆積する(図示せず)。その後、層間絶縁膜111表面上に、ソース・ドレイン領域7、8およびp型不純物領域12に接続するコンタクトホール13が形成される領域に開口を有するフォトレジストマスク302を形成してから、RIE、マグネトロンRIEまたはECR装置などで、シリコン窒化膜14との選択比が高い $\text{C}_4\text{F}_8$  (例として、 $x=4$ 、 $y=8$ ) などのエッチングガスによって層間絶縁膜111をエッチングする。このとき添加ガスとして、 $\text{H}_2$ や $\text{CO}$ を用いてもよい。図13はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0055】次にシリコン窒化膜とシリコン酸化膜との

選択比の低い条件で、残ったシリコン窒化膜14および層間絶縁膜11をエッチングして、コンタクトホール13を形成する。そして、プラズマCVD法によってWを堆積し、コンタクトホール13内を埋め込んでから、エッチバックによって平坦化する。その後、全面にAlを堆積させてから、パターニングすることによって、WとAlからなる配線10および110が形成され、図1に示した半導体装置が形成される。この後さらに、層間絶縁膜111および配線10、110を形成したのと同様の工程で層間絶縁膜と配線が積層される(図示せず)。

【0056】配線10および110のWの堆積方法としては、選択CVD法でもよく、Wの代わりに、高温スパッタ法やリフロースパッタ法によってAlを堆積させてもよいし、LPCVD法によってTiNやドーブトポリシリコンを堆積させてもよい。また、Alの代わりに、 $\text{AlCuSi}$ 、Cuまたはドーブトポリシリコンを用いてもよい。また、配線材料として金属が使われる場合は、各コンタクトホールの内壁に、TiNなどのバリアメタルを形成して、半導体層3へ金属が拡散するのを防止する。

【0057】この実施の形態においては、ソース・ドレイン領域およびp型不純物領域に接続するコンタクトホールおよび配線を同一の工程で形成したが、それぞれのコンタクトホールおよび配線の形成は、回路配置に応じて別の工程で行ってもよく、その形成順序も必要に応じて変更可能である。

【0058】また、ソース・ドレイン領域7および8表面にシリサイド法によって金属シリサイド層が形成されていると、この金属シリサイド層が層間絶縁膜11をエッチングする際のエッチングストップとして働くので、エッチングマージンが増える。

【0059】この実施の形態1に示した半導体装置の製造方法によれば、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介してシリコン窒化膜を形成しているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア(nMOSならば正孔、pMOSならば電子)の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位が安定に固定され、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、信頼性の向上した半導体装置を製造することができる。

【0060】また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋

込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上した半導体装置の製造方法を得ることができる。

【0061】また、シリコン窒化膜を用いて、シリコン窒化膜上の膜厚の厚い層間絶縁膜と、シリコン窒化膜下の膜厚の薄い層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、シリコン窒化膜下の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができる。

【0062】実施の形態2。図14および図15は、この発明の実施の形態2に係る半導体装置の断面図であり、図14において、33はpウェル、34はnウェル、73、74、83および84はn型ソース・ドレイン領域、75および85はp型ポケット注入領域、76、77、86および87はp型ソース・ドレイン領域、78および88はn型ポケット注入領域、121はp型不純物領域、122はn型不純物領域である。図14を参照して、この実施の形態においては、半導体層にイオン注入して形成されたpウェル33にnMOSトランジスタが形成され、nウェル34にpMOSトランジスタが形成されてCMOS構造となっており、nMOSトランジスタとpMOSトランジスタとの間はPTIによって分離され、また、それぞれのトランジスタのチャネル形成領域がPTI下の半導体層を通して、p型不純物領域121またはn型不純物領域122に接続されて電位固定されている。pウェル33はB、BF<sub>3</sub>、Inなどの不純物を $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 程度含み、nウェル34はP、As、Sbなどの不純物を $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 程度含んでいる。nMOSトランジスタのゲート電極6がポリシリコン層を備えている場合は、実施の形態1と同様に、リンなどのn型不純物を $2 \sim 15 \times 10^{19} / \text{cm}^3$ 程度含んでいるが、pMOSトランジスタのゲート電極6のポリシリコンに含まれる不純物については、ボロンなどのp型の不純物の場合もあるし（Dual Gate構造）、n型の不純物を含んでいる場合もある（Single Gate構造）。これ以外の、それぞれの膜厚や不純物濃度については、実施の形態1に示した半導体装置と同様である。

【0063】この実施の形態2に示した半導体装置によれば、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の

半導体層が薄くなくても、ゲート電極下のチャネル形成領域の電位を安定に固定でき、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、半導体装置の信頼性が向上する。

【0064】また、CMOS構造で、逆導電型のトランジスタがPTIを介して隣接している場合には、分離絶縁膜下の半導体層に発生した欠陥によって、隣接するpウェル33とnウェル34との間での耐圧が向上して、半導体装置の信頼性向上を図ることができるという効果を奏する。

【0065】また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上するという効果を奏する。

【0066】また、図15に示したように、nMOS領域とpMOS領域の間をFTIとすると、製造工程は煩雑になるが、ラッチアップ耐性が向上する。

【0067】次にこの発明の実施の形態2に係る半導体装置の製造方法について説明する。図16は、実施の形態2を示す半導体装置の製造方法の一工程を示す断面図であり、図16において、303はフォトレジストマスクである。まず、実施の形態1と同様に、半導体基板1の表面に埋込絶縁膜を介して半導体層3が配設されたSOI基板の表面に分離絶縁膜4を形成する。そして、nMOS領域を開口するフォトレジストマスク303を形成して、全面にB、BF<sub>3</sub>、Inなどのp型の不純物をイオン注入して、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 程度の不純物濃度を有するpウェル33を形成する。図16はこの工程が終わった段階での半導体装置の素子を示す断面図である。この後、フォトレジストマスク303を除去する。

【0068】そして、pウェル33を形成したのと同様に、pMOS領域を開口するフォトレジストマスクを形成して、全面にP、As、Sbなどのn型の不純物をイオン注入して、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 程度の不純物濃度を有するnウェル34を形成する（図示せず）。その後、フォトレジストマスクを除去する。

【0069】そして、実施の形態1に示した方法と同様に、p型不純物領域121およびn型不純物領域122を形成する。これ以外の不純物注入で、nMOS領域と、pMOS領域とが異なる導電型となる部分については、それぞれの領域を開口するフォトレジストマスクを使って打ち分けを行い、実施の形態1に示した方法と同様に不純物を導入する。

【0070】この実施の形態2に示した半導体装置の製造方法によれば、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子

が形成された半導体装置において、素子表面上に層間絶縁膜を介してシリコン窒化膜を形成しているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位が安定に固定され、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、信頼性の向上した半導体装置を製造することができる。

【0071】また、CMOS構造で、逆導電型のトランジスタがPTIを介して隣接している場合には、シリコン窒化膜を形成しているため、分離絶縁膜下の半導体層に欠陥が発生し、隣接するpウェル33とnウェル34との間での耐圧が向上してラッチアップ耐性が向上し、半導体装置の信頼性向上を図ることができるという効果を奏する。

【0072】また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上した半導体装置の製造方法を得ることができる。

【0073】また、シリコン窒化膜を用いて、シリコン窒化膜上の膜厚の厚い層間絶縁膜と、シリコン窒化膜下の膜厚の薄い層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、シリコン窒化膜下の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができる。

【0074】実施の形態3。図17はこの発明の実施の形態3に係る半導体装置の断面図であり、図において、132はコンタクトホール、310は配線である。この実施の形態においては、層間絶縁膜11、111およびシリコン窒化膜14に形成されたコンタクトホール132が、ソース・ドレイン領域7および8と分離絶縁膜4の表面上にまたがって形成されており、このコンタクトホール132を通して、ソース・ドレイン領域7および8に接続する配線310が、分離絶縁膜4表面上にも形成されている点以外は、実施の形態1と同様の構造である。また、図18はこの発明の実施の形態3にかかる半導体装置の上面図であり、図17は、図18に示したF-F断面における断面図である。この図においては、層間絶縁膜11および111、シリコン窒化膜14、配線110および310、サイドウォール絶縁膜9、ソース・ドレイン領域71および81、ポケット注入領域72および82は、簡単のため省略している。

【0075】この実施の形態3に示した半導体装置によ

れば、ソース・ドレイン領域に接続する配線を、隣接する分離絶縁膜にまたがって形成するボーダーレスコンタクト構造の半導体装置において、シリコン窒化膜を備えているので、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、素子密度の向上が図られるとともに、信頼性の向上した半導体装置を得ることができる。

10 【0076】また、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位を安定に固定でき、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、半導体装置の信頼性が向上する。

【0077】また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上するという効果を奏する。

30 【0078】図19は、この発明の実施の形態3に係る別の半導体装置を示す断面図であり、123はn型不純物領域である。図を参照して、n型不純物領域123は、P、As、Sbなどの不純物を $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ 程度含んでおり、ソース・ドレイン領域7に接続して、分離絶縁膜4上にコンタクトホール132が形成される領域よりも分離絶縁膜4中央部へと広がって形成されている。このn型不純物領域123は、コンタクトホール132を形成後、斜めイオン注入を行うなどの方法によって形成することができる。それ以外は、図17に示した半導体装置と同様の構造である。

40 【0079】ボーダーレスコンタクト構造の半導体装置においては、シリコン窒化膜14が形成されているにも関わらず、コンタクトホール132形成の際に露出する分離絶縁膜4がエッチングされることが起こりうるが、n型不純物領域123を形成することによって、配線310と半導体層3との距離を十分に保つことができ、この部分での接合リーク電流を発生するおそれなくなる。

【0080】図20はこの発明の実施の形態3に係るさらに別の半導体装置を示す上面図であり、破線Gで取り囲まれた部分では、分離絶縁膜4が埋込酸化膜2まで到達

達するFTIとなっている以外は、図17に示した半導体装置と同様の構造である。この図20に示した半導体装置によれば、図17に示した半導体装置に比べて、ライフタイムキラーの役割は劣るが、コンタクトホール13形成の際に分離絶縁膜4がエッチングされても半導体層3と接続するおそれがなく、信頼性が向上する。

【0081】また、この実施の形態3においては、シリコン窒化膜14が全面に形成された図によって説明を行ったが、PTIとFTIが併用されている半導体装置においては、素子分離としてPTIが用いられている領域にシリコン窒化膜14が形成されていれば、分離特性を向上させることができる。また、ソース・ドレイン領域7および8と分離絶縁膜4表面上にまたがって配線310が形成される部分の表面上にシリコン窒化膜14が形成されていれば、分離絶縁膜4の形状を保つことができる。また、このボーダーレスコンタクト構造は、実施の形態1および2に示した半導体装置にも適用でき、同様の効果を奏する。

【0082】次にこの発明の実施の形態3に係る半導体装置の製造方法について説明する。図21は、実施の形態3を示す半導体装置の製造方法の一工程を示す断面図であり、図21において、304はフォトレジストマスクである。まず、実施の形態1と同様にして、半導体基板1の表面に埋込絶縁膜を介して半導体層3が配設されたSOI基板の表面に分離絶縁膜4、p型不純物領域(pMOSの場合は、n型不純物領域)、ゲート絶縁膜5、ゲート電極6、ポケット注入領域72および82、ソース・ドレイン領域71および81、サイドウォール絶縁膜9、ソース・ドレイン領域7および8を形成する。

【0083】そして、実施の形態1と同様にして、層間絶縁膜11、シリコン窒化膜14、層間絶縁膜111を形成した後、CMPで平坦化してから、CMPによる表面荒れをなくすために、層間絶縁膜11と同様にして再度シリコン窒化膜を50~200nm程度の膜厚で堆積する(図示せず)。その後、層間絶縁膜111表面上に、ソース・ドレイン領域7、8およびp型不純物領域12に接続するコンタクトホール13および132が形成される領域に開口を有するフォトレジストマスク304を形成してから、実施の形態1と同様にして、層間絶縁膜111をエッチングする。この時、コンタクトホール132は、ソース・ドレイン領域7および8だけでなく、分離絶縁膜4表面上にも形成されるようにフォトレジストマスク304がパターニングされている。図21はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0084】次にシリコン窒化膜とシリコン酸化膜との選択比の低い条件で、残ったシリコン窒化膜14および層間絶縁膜11をエッチングして、コンタクトホール132および13を形成する。そして、実施の形態1と同

様に、配線110および310が形成され、図17に示した半導体装置が形成される。この後さらに、実施の形態1と同様にして、多層配線構造が形成される(図示せず)。

【0085】この実施の形態3に示した半導体装置の製造方法によれば、ソース・ドレイン領域に接続する配線を、隣接する分離絶縁膜にまたがって形成するボーダーレスコンタクト構造の半導体装置において、シリコン窒化膜を用いて、シリコン窒化膜上の膜厚の厚い層間絶縁膜と、シリコン窒化膜下の膜厚の薄い層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、シリコン窒化膜下の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができるとともに、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、半導体装置の素子密度の向上と信頼性の向上を図ることができる。

【0086】また、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介してシリコン窒化膜を形成しているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア(nMOSならば正孔、pMOSならば電子)の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位が安定に固定され、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、信頼性の向上した半導体装置を製造することができる。

【0087】また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上した半導体装置の製造方法を得ることができる。

【0088】

【発明の効果】本発明は、以上説明したように構成されているので、以下のような効果を奏する。本発明は、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にラ

ライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位を安定に固定でき、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、半導体装置の信頼性が向上する。

【0089】また、CMOS構造で、逆導電型のトランジスタがPTIを介して隣接している場合には、分離絶縁膜下の半導体層に発生した欠陥によって、隣接するpMOSTランジスタとnMOSTランジスタとの間での耐圧が向上して、半導体装置の信頼性向上を図ることができるという効果を奏する。

【0090】また、CMOS構造で、逆導電型のトランジスタが隣接している部分にはFTIを形成しているので、隣接するpMOSTランジスタとnMOSTランジスタの間での耐圧が向上し、半導体装置の信頼性向上を図ることができるという効果を奏する。

【0091】また、ソース・ドレイン領域に接続する配線を、隣接する分離絶縁膜にまたがって形成するボーダーレスコンタクト構造の半導体装置において、層間絶縁膜間にシリコン窒化膜を備えているので、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、素子密度の向上が図られるとともに、信頼性の向上した半導体装置を得ることができる。

【0092】さらに、ボーダーレスコンタクト構造のコンタクトホール形成の際に露出する分離絶縁膜がエッチングされることが起こりうるが、それぞれのソース・ドレイン領域に隣接して、ソース・ドレイン領域と同一導電型の不純物領域を形成しているので、配線と分離絶縁膜下の半導体層との距離を十分に保つことができ、この部分での接合リーク電流を発生するおそれなくなる。

【0093】また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上するという効果を奏する。

【0094】また、ソース領域およびドレイン領域表面に金属シリサイド層が形成されていると、この金属シリサイド層が第1の層間絶縁膜をエッチングする際のエッチングストップとして働くので、エッチングマージンが増え、制御性よく配線を形成できるため、信頼性の向上した半導体装置を得ることができる。

【0095】また、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素

子が形成された半導体装置において、素子表面上に層間絶縁膜を介してシリコン窒化膜を形成しているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位が安定に固定され、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、信頼性の向上した半導体装置を製造することができる。

【0096】また、CMOS構造で、逆導電型のトランジスタがPTIを介して隣接している場合に、層間絶縁膜間にシリコン窒化膜を形成しているので、分離絶縁膜下の半導体層に欠陥が発生し、隣接するpMOSTランジスタとnMOSTランジスタとの間での耐圧が向上してラッチアップ耐性が向上し、半導体装置の信頼性向上を図ることができるという効果を奏する。

【0097】第1の層間絶縁膜と第2の層間絶縁膜を別の工程でエッチングしてコンタクトホールを形成しているため、第1の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができる。

【0098】また、ソース領域およびドレイン領域に接続する配線を、隣接する分離絶縁膜にまたがって形成するボーダーレスコンタクト構造の半導体装置において、シリコン窒化膜を用いて、第1の層間絶縁膜と第2の層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、第1の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができるとともに、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、半導体装置の素子密度の向上と信頼性の向上を図ることができる。

【0099】さらに、第1の層間絶縁膜と第2の層間絶縁膜との間に形成されたシリコン窒化膜との選択比を利用して、第1の層間絶縁膜と第2の層間絶縁膜のエッチングを行っているため、制御性よくコンタクトホールを形成することができ、信頼性の向上した半導体装置を製造することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置を示す断面図である。

【図2】 本発明の実施の形態1に係る半導体装置を示す上面図である。

【図3】 本発明の実施の形態1に係る半導体装置を示

す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置を示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置を示す断面図である。

【図 6】 本発明の実施の形態 1 に係る半導体装置を示す上面図である。

【図 7】 本発明の実施の形態 1 に係る半導体装置を示す断面図である。

【図 8】 本発明の実施の形態 1 に係る半導体装置を示す上面図である。

【図 9】 本発明の実施の形態 1 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 10】 本発明の実施の形態 1 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 11】 本発明の実施の形態 1 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 12】 本発明の実施の形態 1 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 13】 本発明の実施の形態 1 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 14】 本発明の実施の形態 2 に係る半導体装置を

示す断面図である。

【図 15】 本発明の実施の形態 2 に係る半導体装置を示す断面図である。

【図 16】 本発明の実施の形態 2 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 17】 本発明の実施の形態 3 に係る半導体装置を示す断面図である。

【図 18】 本発明の実施の形態 3 に係る半導体装置を示す上面図である。

【図 19】 本発明の実施の形態 3 に係る半導体装置を示す断面図である。

【図 20】 本発明の実施の形態 3 に係る半導体装置を示す上面図である。

【図 21】 本発明の実施の形態 2 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 22】 従来の半導体装置を示す断面図である。

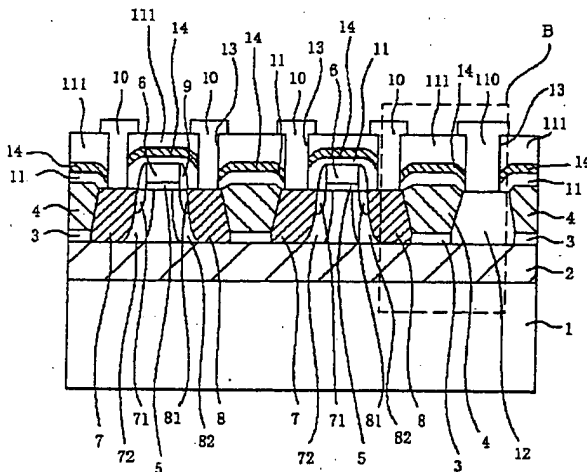
【図 23】 従来の半導体装置を示す断面図である。

【図 24】 従来の半導体装置を示す断面図である。

【符号の説明】

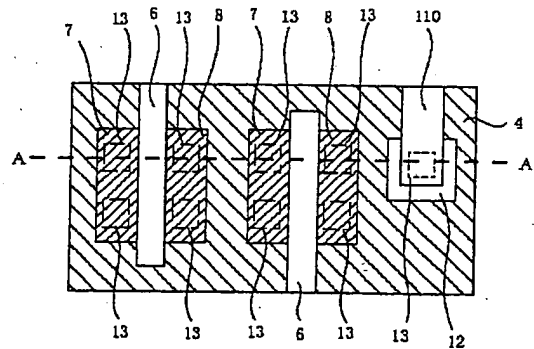
2 埋込酸化膜、 3 半導体層、 4 分離絶縁膜、  
13 コンタクトホール、 14 シリコン窒化膜、  
11、111 層間絶縁膜

【図 1】

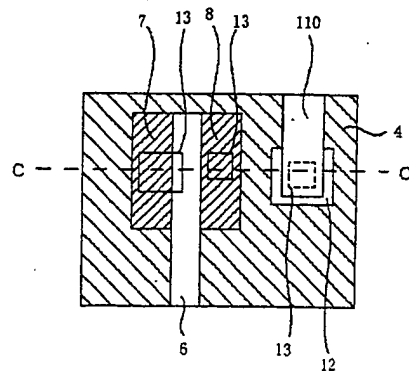


14 : シリコン窒化膜

【図 2】

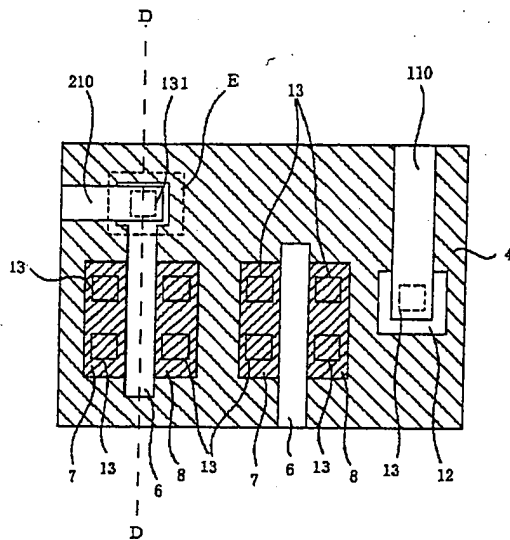


【図 6】

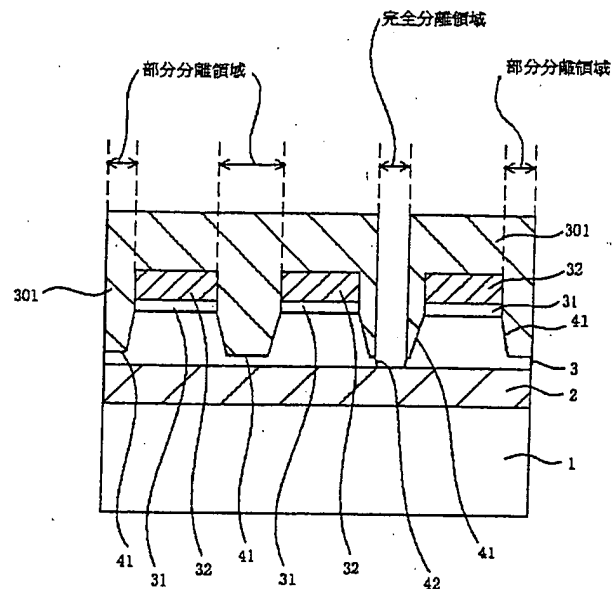




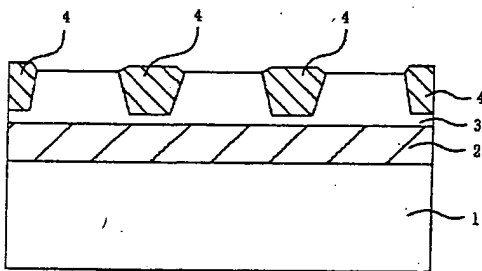
【图 8】



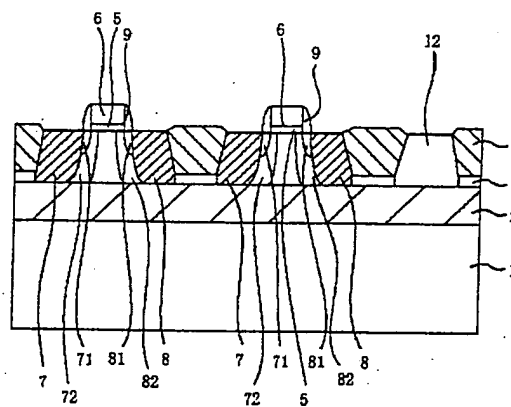
【图 10】



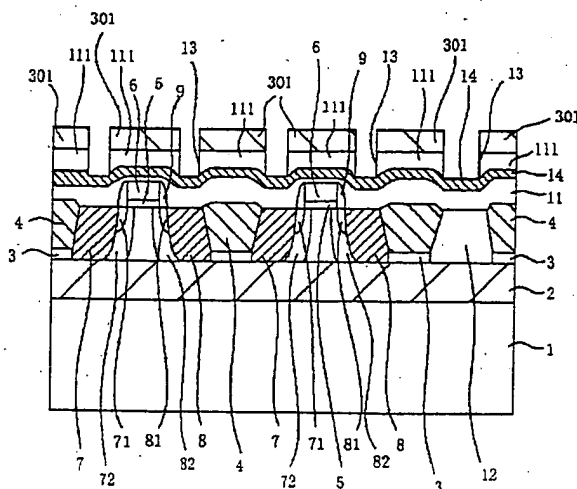
【図 1 1】



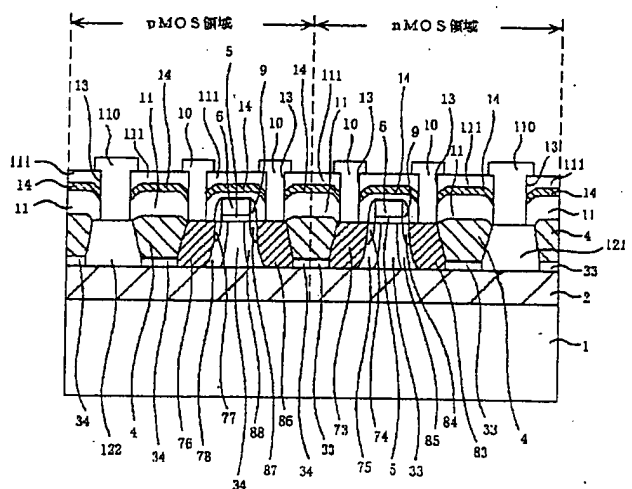
【图 12】



【图 13】

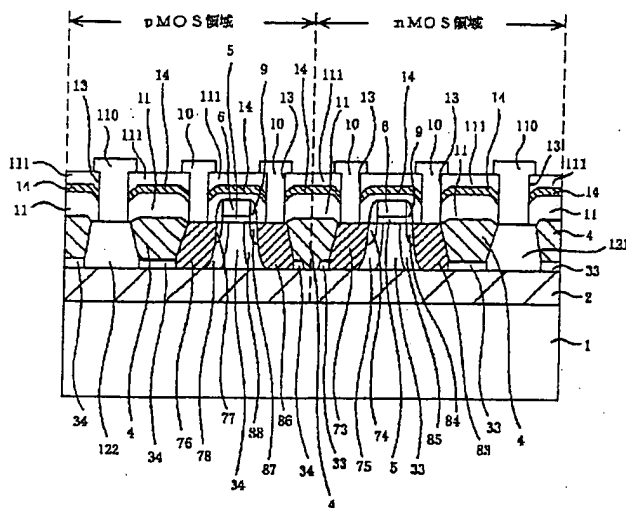


【图 14】

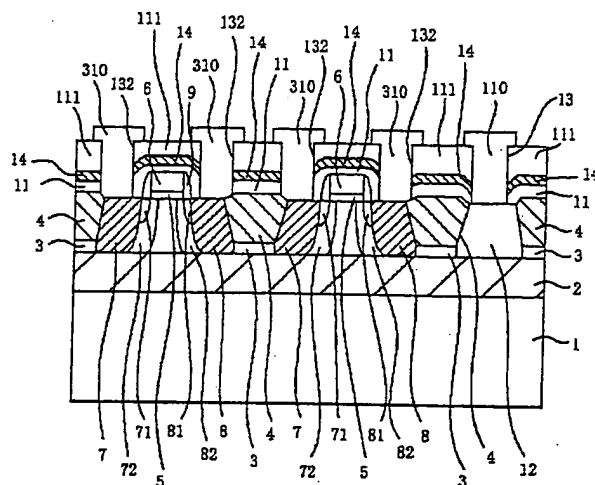




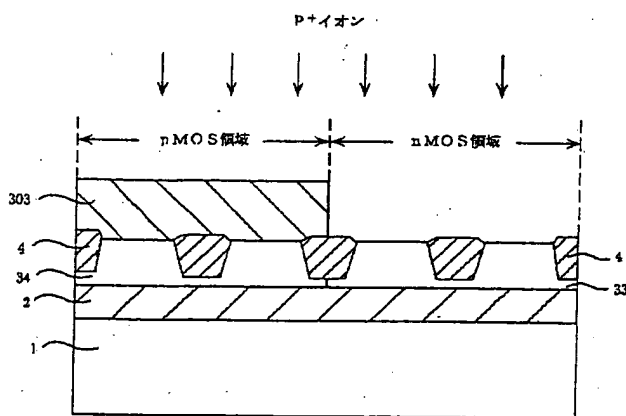
【図15】



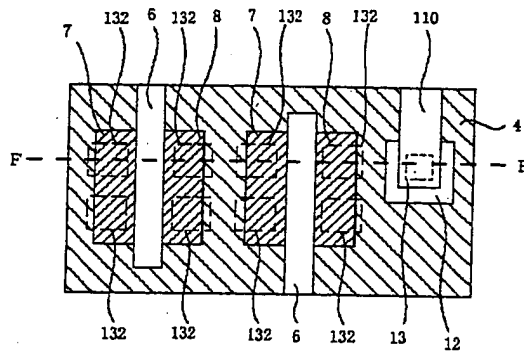
【図17】



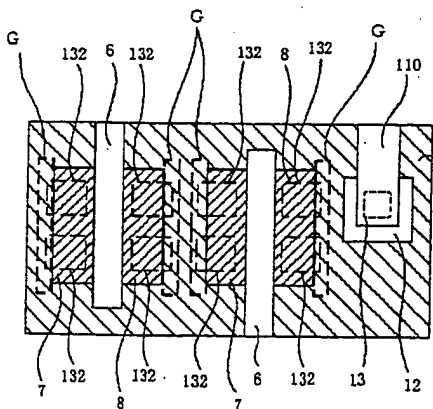
【図16】



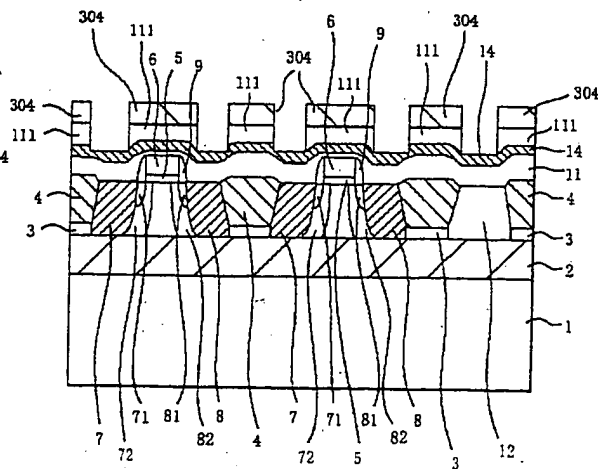
【図18】



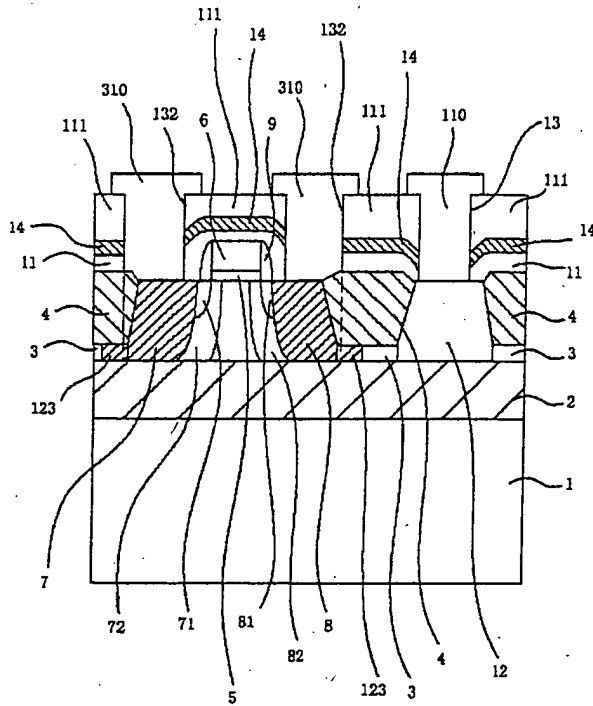
【図20】



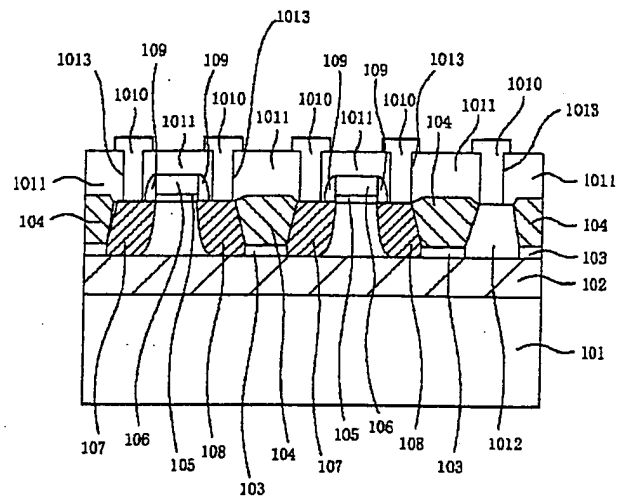
【図21】



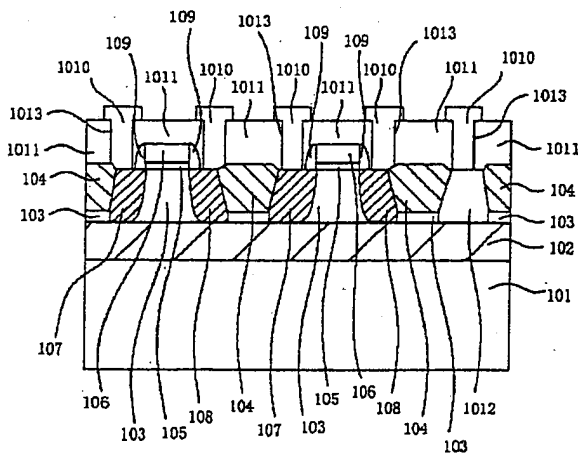
【図19】



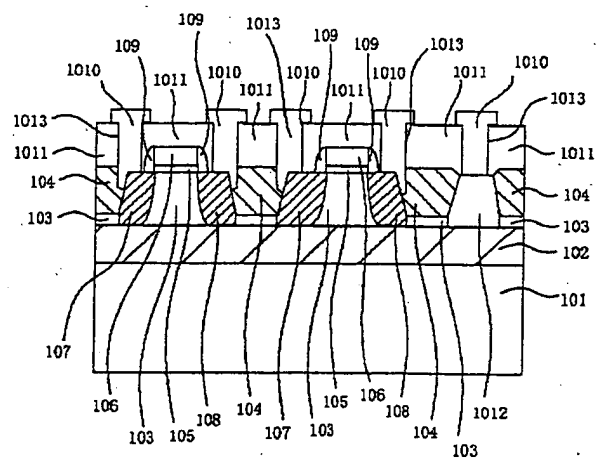
【図22】



【図23】



【図24】



フロントページの続き

(51) Int. Cl.

H01L 27/092  
27/12  
29/786

識別記号

FI

H01L 21/90  
27/08  
29/78

テームコード (参考)

C  
321F  
626C  
626B

(72) 発明者 平野 有一

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内Fターム(参考) 5F032 AA09 AA36 AA44 AA77 BB01  
BB08 CA01 CA03 CA17 CA24  
DA02 DA03 DA25 DA33 DA53  
DA74 DA785F033 GG03 HH04 HH08 HH09 HH11  
HH28 JJ04 JJ08 JJ19 JJ33  
KK01 KK25 KK26 KK27 KK28  
KK29 KK30 LL04 MM07 NN33  
NN40 PP06 PP08 PP09 PP18  
QQ07 QQ08 QQ09 QQ10 QQ13  
QQ16 QQ19 QQ21 QQ24 QQ28  
QQ31 QQ37 QQ48 QQ49 QQ73  
QQ76 RR04 RR06 RR08 RR09  
RR13 RR14 RR15 SS04 SS13  
SS15 SS25 SS27 TT08 VV06  
VV15 XX19 XX315F048 AA01 AA03 AA05 AA07 AB01  
AC03 BA16 BB05 BB08 BB09  
BB11 BC06 BD04 BE03 BE09  
BF00 BF02 BF06 BF16 BG00  
DA25 DA275F110 AA06 AA15 BB04 CC02 DD05  
DD13 EE02 EE03 EE04 EE05  
EE09 EE14 EE32 EE42 EE45  
FF01 FF02 FF03 FF04 FF10  
FF23 GG02 GG12 GG24 GG25  
GG32 GG60 HJ01 HJ04 HJ13  
HJ23 HK05 HL02 HL03 HL04  
HL06 HL08 HL11 HL23 HL24  
HM15 NN04 NN22 NN23 NN24  
NN25 NN26 NN35 QQ11 QQ17  
QQ19